

BL1820

数据手册

16 引脚 RISC-V 核
2.4G SoC

目录

1 产品简介	5
1.1 功能特性	5
1.2 系统框图	7
1.3 引脚图	8
1.4 引脚描述	9
1.5 端口复用功能说明	10
1.6 电源管理	11
2 Timer	12
2.1 时钟简介	12
3 复位	13
3.1 复位简介	13
3.2 复位功能描述	13
3.2.1 上电复位	13
3.2.2 RSTN 引脚复位	13
3.2.3 系统复位	14
3.2.4 CPU 复位	14
3.2.5 WDT 复位	14
3.2.6 LVD 复位	14
4 CPU	15
4.1 32 位 RISC-V 处理器	15
4.2 中断向量表	15
5 存储器	17
5.1 存储单元	17
5.2 RAM	17
5.3 OTP	17
5.4 存储区	18
6 GPIO	19
6.1 GPIO 简介	19
6.2 GPIO 主要特性	19
6.3 GPIO 功能描述	19
6.3.1 GPIO 功能配置描述	19
6.3.2 输入电平状态 (GPIO_I)	19
6.3.3 方向选择 (GPIO_OE)	19
6.3.4 输出高低电平选择 (GPIO_O)	20
6.3.5 端口配置寄存器 (GPIO_CFG_N)	20
6.4 GPIO 中断	20
7 UART	21
7.1 UART 简介	21
7.2 UART 主要特性	21
7.3 UART 功能描述	22
7.3.1 UART 串行协议	22
7.3.2 UART 发送	22

7.3.3	UART 接收	22
7.3.4	波特率设置	23
7.3.5	硬件自动流量流控	24
7.3.6	中断	24
8	SPI Master	26
8.1	SPI Master 简介	26
8.2	SPI Master 主要特性	26
8.3	SPI Master 功能描述	27
8.3.1	传输模式	27
8.3.2	时钟	27
8.3.3	SPI Master 线路模式	27
8.3.4	中断	28
9	SPI Slave	29
9.1	SPI Slave 简介	29
9.2	SPI Slave 主要特性	29
9.3	SPI Slave 功能描述	30
9.3.1	传输模式	30
9.3.2	时钟	30
9.3.3	SPI Slave 模式	30
9.3.4	中断说明	30
10	IIC	32
10.1	简介	32
10.2	IIC 主要特性	32
10.3	IIC 功能描述	33
10.3.1	协议描述	33
10.3.2	串行时钟发生器	34
10.3.3	工作模式	34
10.3.4	输入滤波功能	35
10.3.5	中断	35
11	TIMER	37
11.1	TIMER 简介	37
11.2	TIMER 主要特性	37
11.3	TIMER 功能描述	37
11.3.1	定时器时钟	37
11.3.2	定时器预分频	38
11.3.3	定时计数器	38
11.3.4	定时器模式	38
11.3.5	PWM 模式	38
11.3.6	定时器中断	39
12	SDMA	40
12.1	SDMA 简介	40
12.2	SDMA 主要特性	40
12.3	SDMA 功能描述	40
12.3.1	传输模式	40

12.3.4 SDMA 中断	41
13 GPADC	42
13.1 GPADC 简介	42
13.2 GPADC 主要特性.....	42
13.3 GPADC 功能描述.....	42
13.3.1 时钟配置.....	42
13.3.2 采样模式.....	42
13.3.4 均值滤波器.....	43
13.3.5 数据格式.....	43
13.3.6 中断.....	44
14 WDT.....	45
14.1 WDT 简介.....	45
14.2 主要特性.....	45
14.3WDT 功能描述.....	45
15 Flash14 WDT.....	45
16 电气特性	47
16.1 绝对最大额定值.....	47
16.2 推荐工作条件.....	48
16.3 射频特性.....	48
16.4 复位特性.....	50
16.5 24MHz 外部时钟源.....	50
16.6 24MHz 晶体振荡器.....	50
16.7 24MHz RC 振荡器	51
16.8 32KHz RC 振荡器.....	51
16.9 GPIO	51
16.10 通用 ADC	52
17 参考设计	53
18 封装信息	54
17.1 SOP16	54
17.2 SOP8	54

1 产品简介

BL1820 是一款高灵敏度（-96dBm@1Mbps）、宽发射功率范围（-10dBm~10dBm）、高集成度（仅需 2 至 3 颗外部元器件）2.4G/BLE 片上系统，支持可编程通信速率 125 Kbps /250 Kbps /500Kbps / 1Mbps / 2Mbps。

支持 2400 MHz~2500 MHz 宽频率输入范围，低至 60uS 的锁频时间结合专有的自动增益控制算法和跳频算法，大大提高了无线收发在日益拥堵的 2.4G 频段的抗干扰性能，非常适合对数据传输的稳定性、延迟有高要求的订制类应用。

芯片专门为对功耗敏感的物联网应用优化，在 RTC 模式下消耗 1uA，接收峰值 0dBm 发射电流仅为 10mA / 13mA。

芯片内部集成 T/R 开关和 LDO，无需片外 LDO 退耦电容和射频匹配元器件，从而简化设计，助力客户设计出尺寸更为小巧的产品。

1.1 功能特性

- ◆ **射频特性**
 - 支持 125 Kbps /250 Kbps /500 Kbps /1 Mbps /2 Mbps 和 S2/S8 Long Rang
 - -96 dBm@1 Mbps
 - 发射功率范围：-10 ~ 10 dBm
 - 支持 8-bit RSSI 上报
 - 无需外部匹配元件，支持天线直接连接
 - 支持 2.4G 私有协议
- ◆ **MCU 子系统**
 - RISC-V 32 位内核，支持 SWD
 - 最高时钟 48 MHz
 - 支持 32 通道 System DMA
 - 支持硬件 AES-128
- ◆ **外设**
 - 24 个 GPIO，全部支持低功耗唤醒
 - UART × 2，波特率 1200 ~ 2M 可灵活配置，最高支持 2 Mbps
 - SPI Master × 2，SPI 时钟速率最高支持 24 MHz
 - SPI Slave
 - IIC，通讯速率最高支持 1 Mbps
 - 支持 8 路 16bit timer/PWM
 - QSPI
 - 1× Watchdog Timer (WDT)
 - 32-bit Real-Time Clock (RTC)
 - 8 通道 10-bit 3 Mbps ADC
 - 温度传感器
- ◆ **存储**
 - 16KB SRAM
 - 16KB OTP ROM

- 256KB Flash (仅 Flash 版本独有)
- 最大支持 64M 片外 Flash 存储 (可选), 支持 XiP
- ◆ **电源管理单元**
 - 集成 LDO, 支持 1.7V ~ 3.6V 宽电源电压范围
 - POR/BOR
 - 集成低电压检测 (LVD) 中断
 - 内部集成主电源/IO 电压测量
- ◆ **系统功耗 (包含射频和基带, DCDC@3V)**
 - 10 mA RX 峰值功耗
 - 13 mA TX 峰值功耗 @0dBm
 - 休眠模式 1 uA
- ◆ **时钟**
 - 内部高速 24 MHz 晶体振荡器
 - 支持 Crystal trimming
 - 内部高精度高速 24 MHz RC 振荡器
 - 内部高精度低速 32 KHz RC 振荡器
 - 支持所有时钟相互校准
- ◆ **温度范围: -40°C to +85°C**
- ◆ **封装: SOP16、SOP8**

√选型表

型号	协议	MCU	OTP Bytes	SRAM Bytes	Flash	工作电压 (V)	MAX Freq	I/O	Debug Interface	Peripheral
BL1820PG	2.4G 私有	32-bit	16K	16K	NA	1.8-3.6	48M Hz	11	SWD	IIC*1,SPIM*1,SPIS*1,QSPI*1, UART*2,ADC*5,PWM*6
BL1820P8	2.4G 私有	32-bit	16K	16K	NA	1.8-3.6	48M Hz	3	SWD	IIC*1,UART*1,ADC*2,PWM*2
BL1820FPG	2.4G 私有	32-bit	16K	16K	256K	1.8-3.6	48M Hz	11	SWD	IIC*1,SPIM*1,SPIS*1,QSPI*1, UART*2,ADC*5,PWM*6

1.2 系统框图

系统框图如下图所示：

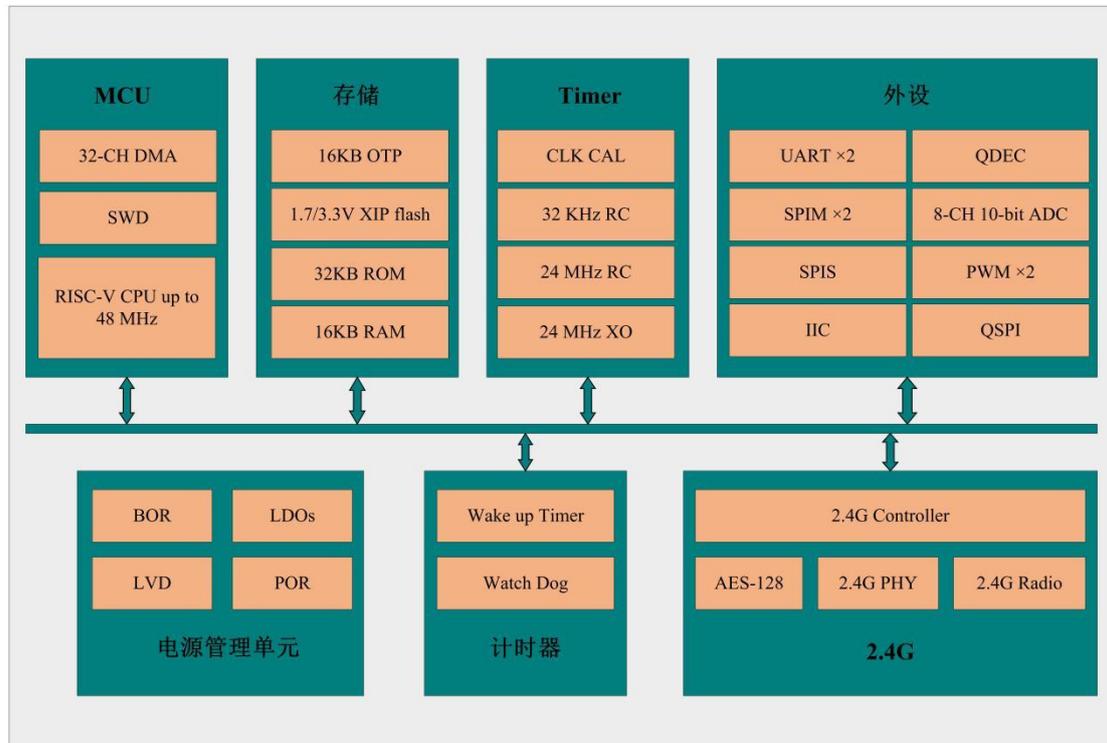


Figure 1-1 系统框图

1.3 引脚图

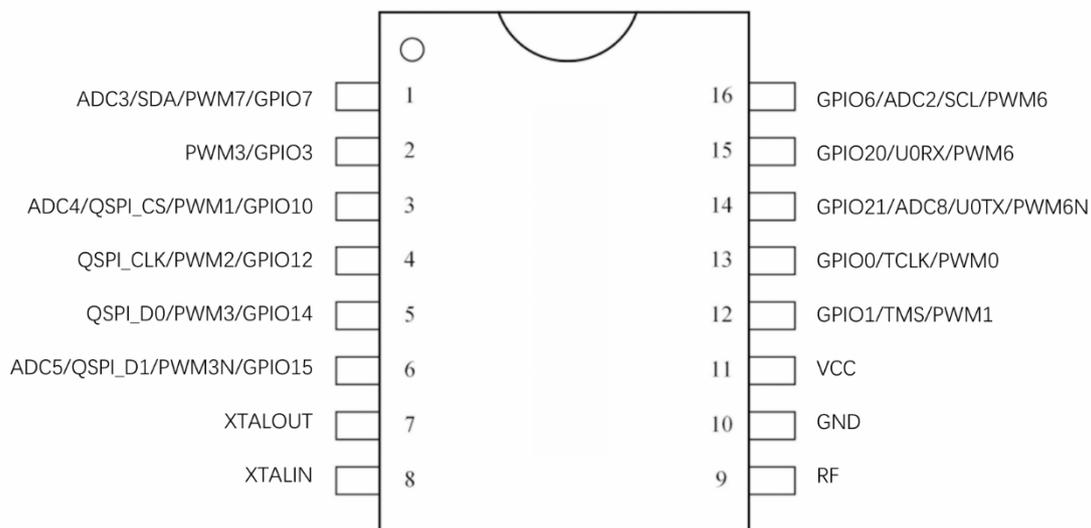


Figure 1-3 BL1820PG

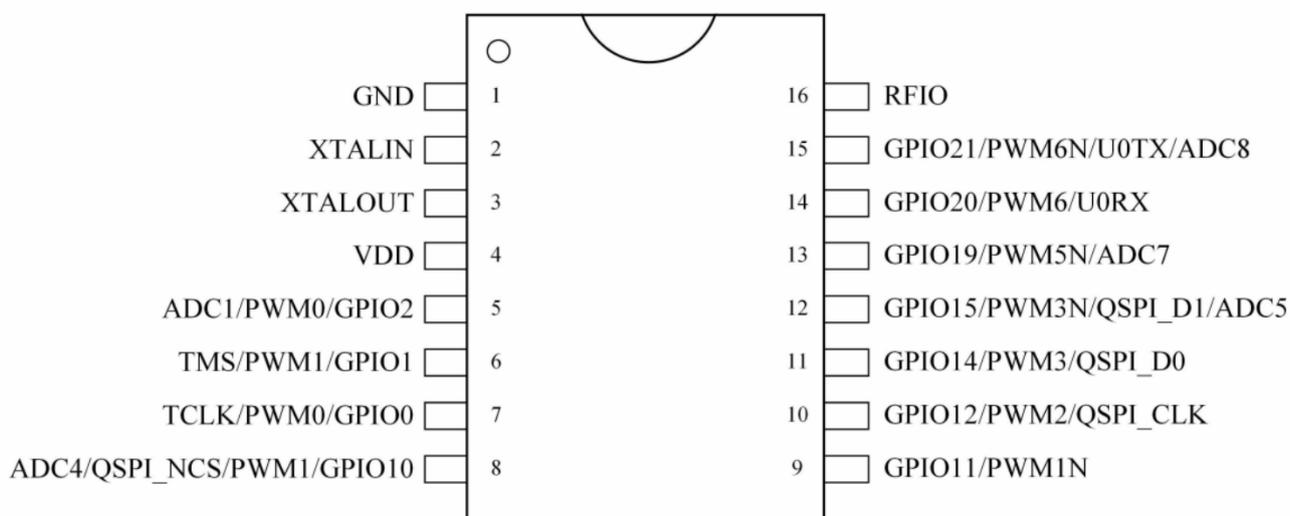


Figure 1-4 BL1820FPG

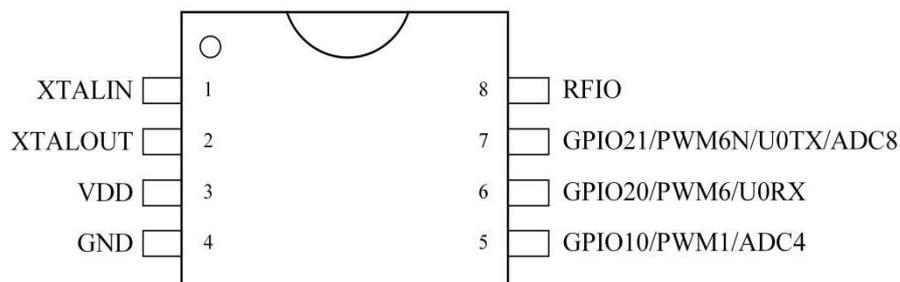


Figure 1-5 BL1820P8

1.4 引脚描述

脚位	名称	类型	说明
1	XTALIN	AN	晶体时钟输入引脚
2	XTALOUT	AN	晶体时钟输出引脚
3	VDD	P	RF 电源和数字电源
4	VDDIO	P	IO 电源
5	PWM0 GPIO8	O I/O	PWM0 输出口 输入/输出口
6	PWM0N GPIO9	O I/O	PWM0N 输出口 输入/输出口
7	ADC1 PWM0 GPIO2	AN O I/O	ADC1 输入口 PWM0 输出口 输入/输出口
8	TCLK PWM0 GPIO0	I O I/O	JTAG 时钟输入口 PWM0 输出口 输入/输出口
9	RSTN	I	复位信号接收口
10	PWM4 GPIO4	O I/O	PWM4 输出口 输入/输出口
11	PWM5 GPIO5	O I/O	PWM0 输出口 输入/输出口
12	ADC2 SCL PWM6 GPIO6	AN I/O O I/O	ADC2 输入口 IIC 时钟口 PWM6 输出口 输入输出口
13	ADC3 SDA PWM7 GPIO7	AN I/O O I/O	ADC3 输入口 IIC 数据口 PWM7 输出口 输入/输出口
14	PWM3 GPIO3	O I/O	PWM3 输出口 输入/输出口
15	TMS PWM1 GPIO1	I O I/O	JTAG 数据接收口 PWM1 输出口 输入/输出口
16	ADC4 QSPI_CS PWM1 GPIO10	AN O O I/O	ADC4 输入口 QSPI 片选信号口 PWM1 输出口 输入/输出口
17	PWM1N GPIO11	O I/O	PWM1N 输出口 输入/输出口
18	QSPI_CLK PWM2 GPIO12	O O I/O	QSPI 时钟口 PWM2 输出口 输入/输出口
19	PWM2N GPIO13	O I/O	PWM2N 输出映射口 输入/输出口
20	QSPI_D0 PWM3 GPIO14	I/O O I/O	QSPI 数据输入/输出 0 PWM3 输出口 输入/输出口
21	ADC5 QSPI_D1	AN I/O	ADC5 输入口 QSPI 数据输入/输出 1

	PWM3N GPIO15	O I/O	PWM3N 输出口 输入/输出口
22	PWM4 GPIO16	O I/O	PWM4 输出口 输入/输出口
23	ADC6 PWM4N GPIO17	AN O I/O	ADC6 输入口 PWM4N 输出口 输入/输出口
24	PWM5 GPIO18	O I/O	PWM5 输出口 输入/输出口
25	ADC7 PWM5N GPIO19	AN O I/O	ADC7 输入口 PWM5N 输出口 输入/输出口
26	U0RX PWM6 GPIO20	I O I/O	UART0 接收口 PWM6 输出口 输入/输出口
27	ADC8 U0TX PWM6N GPIO21	AN O O I/O	ADC8 输入口 UART0 输出口 PWM6N 输出口 输入/输出口
28	PWM7 GPIO22	O I/O	PWM7 输出口 输入/输出口
29	PWM7N GPIO23	O I/O	PWM7N 输出口 输入/输出口
30	RFIO	AN	2.4G/BLE 射频收发引脚

注：I=输入，O=输出，I/O=输入/输出，P=电源，AN=模拟输入输出

1.5 端口复用功能说明

IO	Func1	Func2	Func3	Func4	Func5	Func7
GPIO0	JTAG_TCLK	IIC0_SCL	SPIM0_NCS	UART0_CTS	SPIS0_NCS	PWM_0_P
GPIO1	JTAG_TMS	IIC0_SDA	SPIM0_SCK	UART0_RTS	SPIS0_SCK	PWM_1_P
GPIO2	JTAG_TRSTB	UART0_RX	SPIM0_MOSI	UART1_CTS	SPIS0_MISO	PWM_2_P
GPIO3	Reserved	UART0_TX	SPIM0_MISO	UART1_RTS	SPIS0_MOSI	PWM_3_P
GPIO4	QSPI_NCS	UART1_RX	SPIM1_SCK	SPIS0_NCS	UART0_RX	PWM_4_P
GPIO5	QSPI_D3	UART1_TX	SPIM1_NCS	SPIS0_SCK	UART0_TX	PWM_5_P
GPIO6	QSPI_CLK	IIC0_SCL	SPIM1_MOSI	SPIS0_MOSI	UART1_RX	PWM_6_P
GPIO7	QSPI_D2	IIC0_SDA	SPIM1_MISO	SPIS0_MISO	UART1_TX	PWM_7_P
GPIO8	QSPI_D0	UART0_RX	SPIM0_NCS	UART1_CTS	SPIS0_NCS	PWM_0_P
GPIO9	QSPI_D1	UART0_TX	SPIM0_SCK	UART1_RTS	SPIS0_SCK	PWM_0_N
GPIO10	QSPI_NCS	UART1_RX	SPIM0_MOSI	UART0_CTS	SPIS0_MOSI	PWM_1_P
GPIO11	QSPI_D3	UART1_TX	SPIM0_MISO	UART0_RTS	SPIS0_MISO	PWM_1_N
GPIO12	QSPI_CLK	IIC0_SCL	SPIM1_SCK	SPIS0_NCS	UART0_RX	PWM_2_P

GPIO13	QSPI D2	IIC0 SDA	SPIM1 NCS	SPIS0 SCK	UART0 TX	PWM 2 N
GPIO14	QSPI D0	UART0 RX	SPIM1 MOSI	SPIS0 MOSI	UART1 RX	PWM 3 P
GPIO15	QSPI D1	UART0 TX	SPIM1 MISO	SPIS0 MISO	UART1 TX	PWM 3 N
GPIO16	QSPI NCS	UART1 RX	SPIM0 NCS	IIC0 SCL	SPIS0 NCS	PWM 4 P
GPIO17	QSPI D3	UART1 TX	SPIM0 SCK	IIC0 SDA	SPIS0 SCK	PWM 4 N
GPIO18	QSPI CLK	IIC0 SCL	SPIM0 MOSI	UART1 CTS	SPIS0 MOSI	PWM 5 P
GPIO19	QSPI D2	IIC0 SDA	SPIM0 MISO	UART1 RTS	SPIS0 MISO	PWM 5 N
GPIO20	QSPI D0	UART0 RX	SPIM1 SCK	SPIS0 NCS	IIC0 SCL	PWM 6 P
GPIO21	QSPI D1	UART0 TX	SPIM1 NCS	SPIS0 SCK	IIC0 SDA	PWM 6 N
GPIO22	IIC0 SCL	UART1 RX	SPIM1 MOSI	SPIS0 MOSI	QSPI CLK	PWM 7 P
GPIO23	IIC0 SDA	UART1 TX	SPIM1 MISO	SPIS0 MISO	QSPI NCS	PWM 7 N

1.6 电源管理

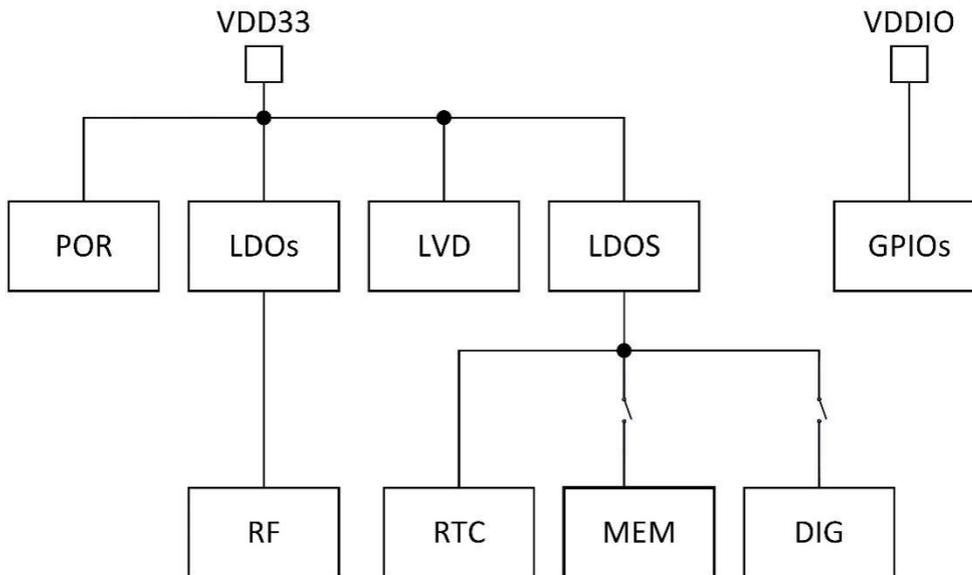


Figure 1-3 Power topology

2 Timer

2.1 时钟简介

系统内部共有三个时钟源：

- 外部晶体 24M 时钟
- 内部 RC 24M 时钟
- 内部 RC 32K 时钟

晶体 24M 时钟通过倍频器生成 48M 时钟，生成的 48M 时钟既可以给 CPU 提供时钟，也可以由外设模块 QSPI、UART、SPIS 等使用。使用 48M 时钟时，外设采样精度或波特率精度会得到提高，并且可以提升外设总线速率。

HCLK 为 AHB 高速总线时钟，AHB 总线上的设备使用 HCLK 作为工作时钟，如 CPU、RAM、ROM、总线互联矩阵等。HCLK 最高可设置为 48M，用于高性能场景，最低为 32K，用于低功耗场景。

2.4G/BLE 无线模块使用晶体 24M 作为时钟源，以提升无线通信系统频率精度。

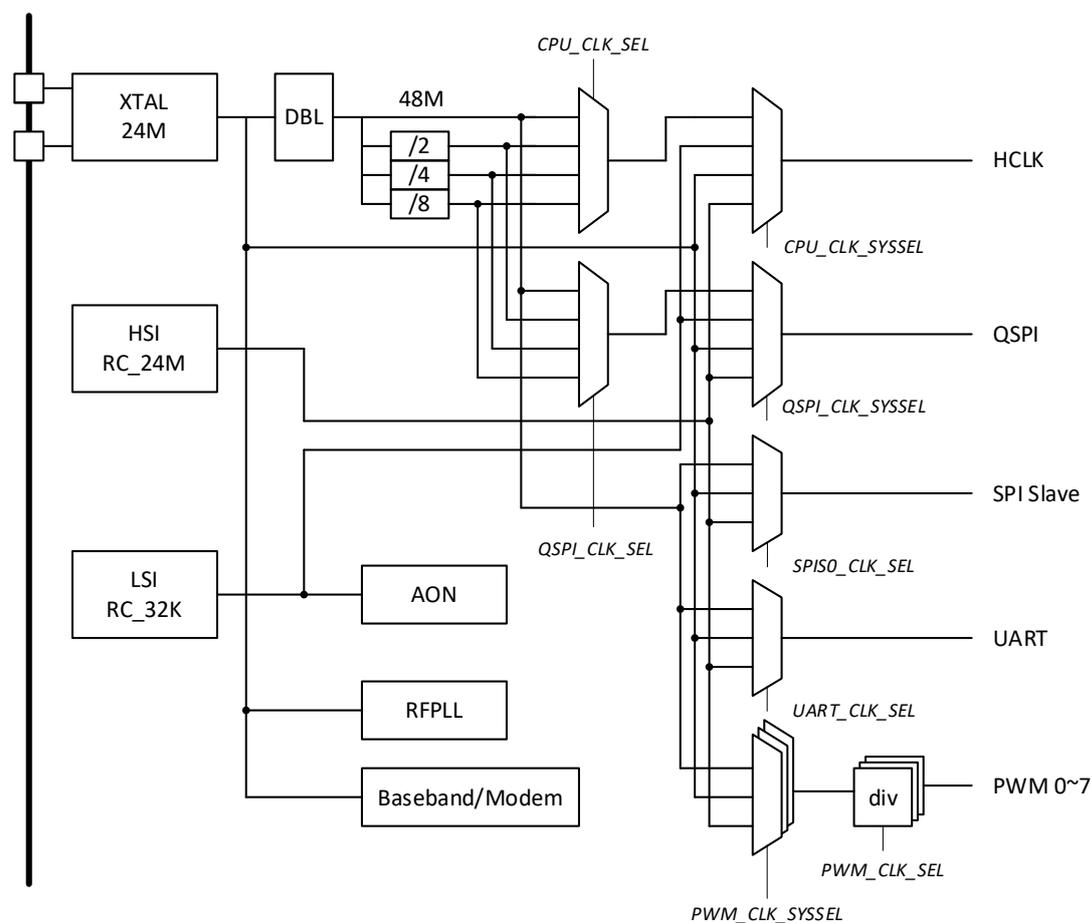


Figure 2-1 系统时钟框图

3 复位

3.1 复位简介

复位信号的处理对于系统稳定性和可靠性有重要作用。系统有以下复位源：

- 上电复位
- RSTN 引脚复位
- 系统复位
- CPU 复位
- WDT 复位
- LVD 复位

各复位源均可复位 CPU，但其他区域有不同的复位权限，复位区域描述如下表：

复位源	CPU	外设	GPIO	AON
上电复位	Y	Y	Y	Y
RSTN 引脚复位	Y	Y	Y	Y
系统复位	Y	Y	Y	N
CPU 复位	Y	N	N	N
WDT 复位	Y	Y	O	N
LVD 复位	Y	Y	Y	N

表中缩写含义

- Y：复位
- N：不复位
- O：可选复位

3.2 复位功能描述

3.2.1 上电复位

上电复位是系统最高权限复位信号。上电复位信号由上电复位模块产生，上电复位模块对电源电压进行监测，只有超过阈值上限 1.7V 时，才会取消复位信号状态，开始启动系统。电源电压一旦低于阈值下限 1.2V 时，系统立即进入上电复位状态。

上电复位状态下，只有 AON 区域可能有电，而且条件取决于外部电压。AON 以外的区域都处于下电状态，无法正常工作。

初始上电时，上电复位时长约 20ms。

3.2.2 RSTN 引脚复位

RSTN 引脚复位是除上电复位外的最高优先级复位。RSTN 引脚复位会复位 AON 区域和非 AON 区域内的所有模块。

RSTN 引脚复位通常用于系统出错时进行系统恢复。

3.2.3 系统复位

系统复位通常由调试器发起，也可以通过软件复位发起系统复位。系统复位是最常用的复位手段，系统复位会复位 CPU 和除 AON 以外的其他外设模块。

3.2.4 CPU 复位

CPU 复位是软件复位功能，CPU 复位仅复位 CPU Core，不复位其他模块。因 Cache、总线、外设都没有复位，因此 CPU 复位后，可能工作不正常。CPU 复位通常仅用作调试使用。

3.2.5 WDT 复位

WDT, Watch Dog Timer, 看门狗计数器为 20 位向上计数器，当计数器溢出时，触发 WDT 事件，如果使能 WDT 复位功能，则 WDT 事件会触发 WDT 复位。WDT 复位会复位 CPU 和大部分外设，某些外设可在 WDT 复位时不复位，继续工作。

3.2.6 LVD 复位

LVD, Low Voltage Detector, LVD 模块进行电源电压监测，如果电源电压满足触发条件，并且触发动作使能了复位，那么就会触发 LVD 复位。LVD 复位会复位系统，但不复位 AON 区域。

4 CPU

4.1 32 位 RISC-V 处理器

32 位 RISC-V 处理器是一种极低功耗、嵌入式 CPU 核。32 位 RISC-V 处理器采用 16/32 位混合编码系统，指令系统与流水线硬件结构精简高效，具备极低功耗和高代码密度等优点。32 位 RISC-V 处理器具有以下特性：

- 支持 RISC-V RV32EMC 指令集
- 16 个 32 位通用寄存器
- 两级顺序执行流水线
- 支持 RISC-V 机器模式
- 4KB 指令缓存（四路组相联结构）
- 单周期硬件乘法器
- 兼容 RISC-V CLIC 中断标准，支持中断嵌套
- 兼容 RISC-V PMP 内存保护标准，8 区域可配置
- 支持 RISC-V debug 架构，支持两线调试接口
- 支持软复位操作

4.2 中断向量表

NO.	IRQ
0~2	N/A
3	SOFT_IRQ
4~6	N/A
7	TIMER_IRQ
8~15	N/A
16	WDT
17	N/A
18	RADIO_CTRL
19	RADIO_TIMER
20	RADIO_PTMR
21	N/A
22	N/A
23	GPADC
24	UART_0
25	UART_1
26	SPIM_0
27	SPIM_1
28	IIC
29	N/A

30	SPIS
31	N/A
32	GPIO
33	QDEC
34	AES
35	CAP
36	CLKCAL
37	RTC
38	SDMA
39	LVD
40	TIMER 0
41	TIMER 1
42	TIMER 2
43	TIMER 3
44	TIMER 4
45	TIMER 5
46	TIMER 6
47	TIMER 7

5 存储器

5.1 存储单元

系统存储单元汇总如下：

- RAM 16KB
- OTP 16KB
- 外部 Flash 空间最大支持 64MB

5.2 RAM

RAM 16KB 共划分为三块，每块均可单独设置 Retention。

- RAM Block 0, 4KB
- RAM Block 1, 4KB
- RAM Block 2, 8KB

5.3 OTP

OTP 总大小为 16KB，其中末尾 128 字节（0x1F80_3F80~0x1F80_3FFF）为 bootloader 配置区域，用户无法使用，其他区域为用户区域。

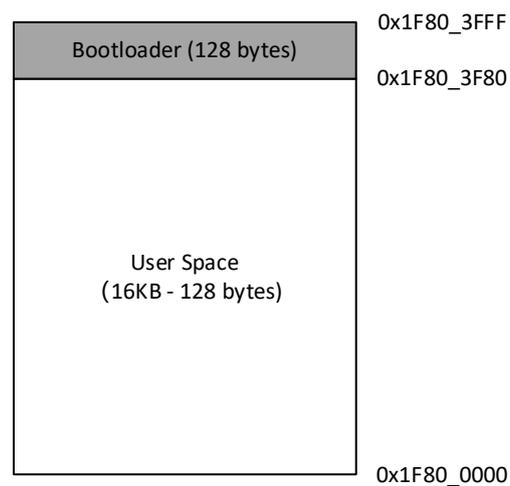


Figure 5-1 OTP Memory Map

5.4 存储区

系统存储区分布如下：

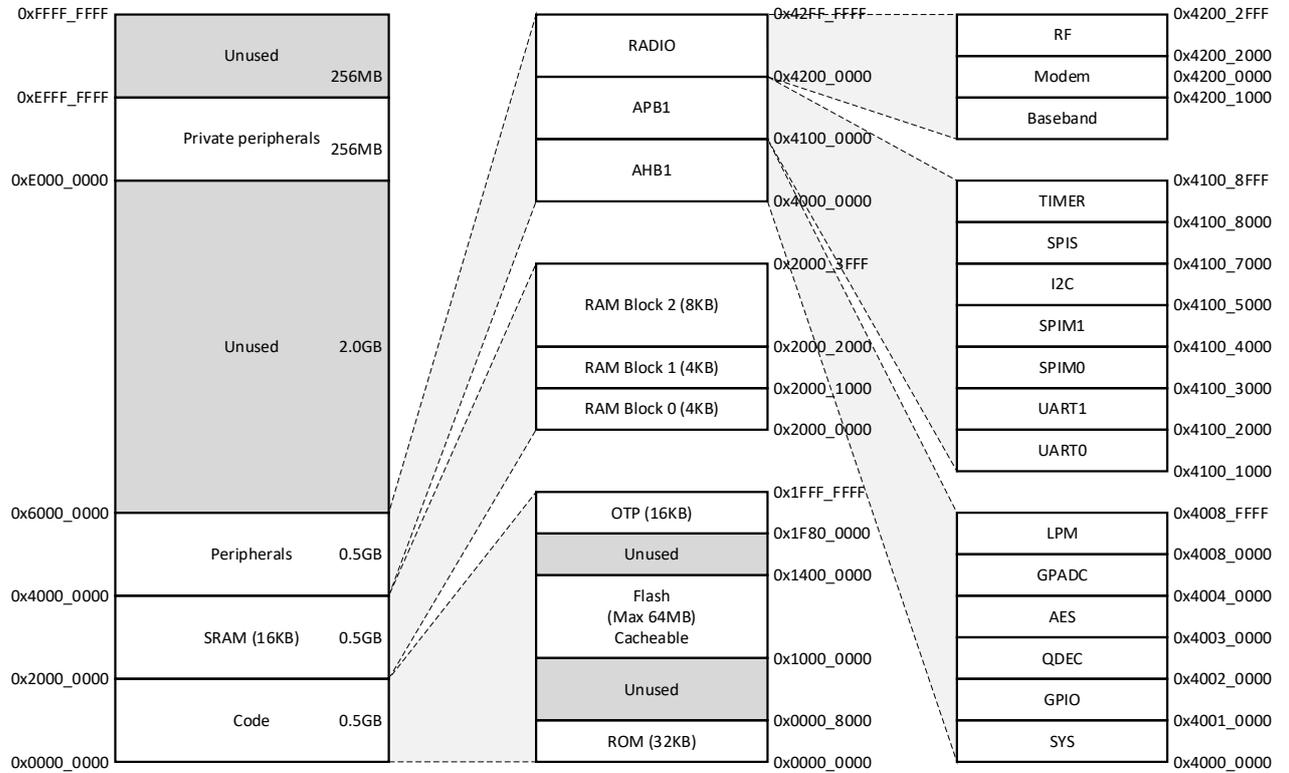


Figure 5-2 内存映射

6 GPIO

6.1 GPIO 简介

BL1820 有 24 个数字通用输入输出端口（GPIO0 ~ GPIO23）。每个端口都可以用作数字输入输出端口以及各种功能模块的复用。每个端口可以配置为内部上拉/下拉输入，模拟输入、浮空输入、开漏输出，四档驱动能力输出。每个数字端口被配置为输入时，都可以提供外部中断，中断类型可以配置成高电平触发、低电平触发、上升沿触发、下降沿触发 4 种。另外，每个数字端口都可以配置为深度休眠模式唤醒源。

6.2 GPIO 主要特性

- 最多支持 24 个 GPIO
- 内部上拉电阻和下拉电阻可配置
- 支持高电平中断、低电平中断、上升沿中断、下降沿中断和任意边沿中断
- 所有引脚可以配置为深度睡眠唤醒源
- 多功能复用模块，使 GPIO 可灵活复用为功能模块专用引脚

6.3 GPIO 功能描述

6.3.1 GPIO 功能配置描述

每个 GPIO 口都可以根据系统需求通过配置寄存器，将端口配置为模拟端口或数字端口，端口配置为数字端口时，可以接收数字通用输入输出信号，也可以通过配置寄存器接收各功能模块（如 SPI，UART，IIC，Timer 等）的输入输出信号。

6.3.2 输入电平状态（GPIO_I）

使用 GPIO 用作数字端口时，通过 GPIO_I[23:0]寄存器查看端口输入情况。对应 bit 为 1 时表示端口输入电平为高电平，为 0 时表示端口输入电平为低电平。

6.3.3 方向选择（GPIO_OE）

使用 GPIO 用作数字端口时，通过 GPIO_OE[23:0]寄存器控制方向。对应 bit 为 1 时端口方向为输出，为 0 时端口方向为输入。

6.3.4 输出高低电平选择 (GPIO_O)

使用 GPIO 用作数字端口时，通过 GPIO_O[23:0]寄存器控制端口输出电平。对应 bit 为 1 时端口输出电平为高电平，为 0 时端口输出电平为低电平。

6.3.5 端口配置寄存器 (GPIO_CFG_N)

每个 GPIO_CFG_N[32:0]寄存器可以内有四个端口的配置信息，每个端口信息占八个 bit。每个端口配置信息：

- [7:5]三个 bit 可以配置当前端口的模式
 - 000: 浮空输入模式
 - 001: 上拉输入模式
 - 010: 下拉输入模式
 - 011: 模拟输入模式
 - 100: 开漏输出模式
- [4:3]两个 bit 可以修改端口的驱动强度
 - 驱动强度: 11>10>01>00
- [2:0]最后的三个 bit 用作模拟端口的选择

6.4 GPIO 中断

每一个数字通用端口都可以由外部信号源产生中断，外部信号源可以是高电平/低电平/上升沿/下降沿 4 种类型的信号，分别对应的中断使能寄存器为高电平中断触发寄存器 (GPIO_IT_HI)/低电平中断触发寄存器 (GPIO_IT_LO)/上升沿中断触发寄存器 (GPIO_IT_PEDGE)/下降沿中断触发寄存器 (GPIO_IT_NEDGE)。当中断触发时，通过查询中断状态寄存器就可以判断是哪一个端口触发了中断。清除寄存器就可以清除对应的中断状态标志位。

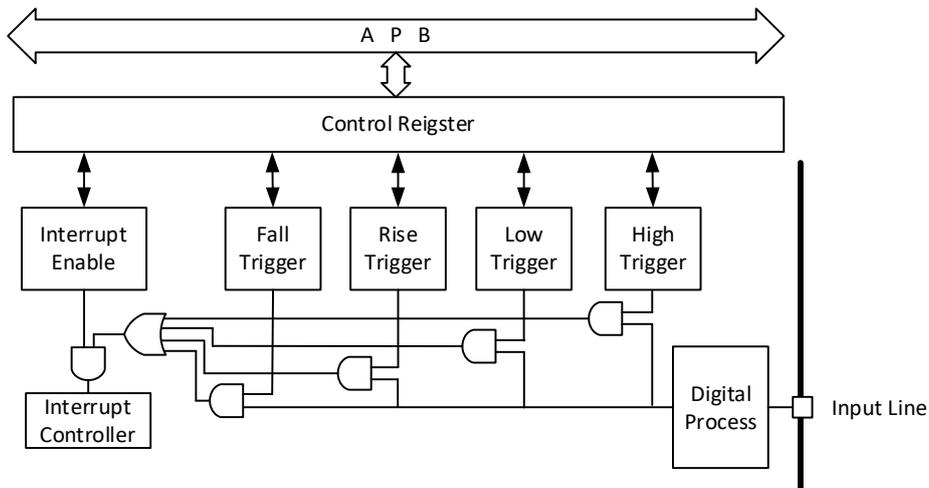


Figure 6-1 GPIO 中断示意图

7 UART

7.1 UART 简介

通用异步寄存器(UART)用于与外围设备进行串行通信。UART 支持异步全双工传输，数据从主机（CPU）通过 APB 总线写入 UART，然后转换为串行形式并传输到目标设备。串行数据也由 UART 接收并存储以供主机（CPU）读回。

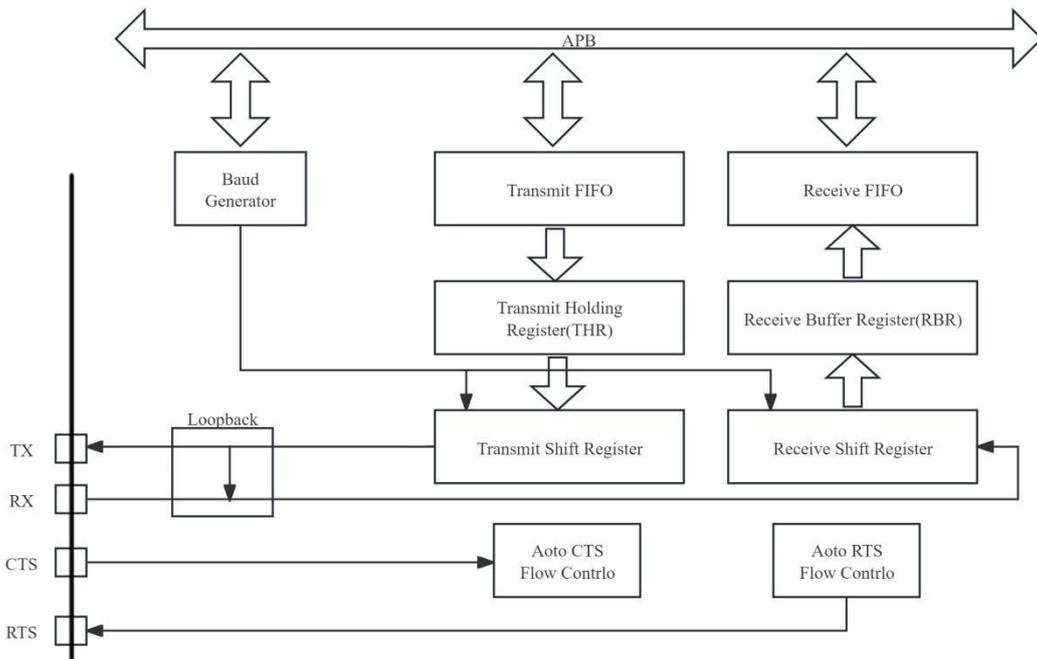


Figure 7-1 UART 结构框图

7.2 UART 主要特性

- 全双工，异步通信，支持异步串行时钟
- 波特率 1200~2M 可灵活配置，最高支持 2M
- 可配置停止位--支持 1, 1.5 或 2 位停止位
- FIFO 可储存 16 个 8 位数据，使用内部内存进行 FIFO 接收和发送
- 可编程数据宽度（8 或 9 bits）
- 奇偶校验控制
 - 发送自动添加奇偶校验位
 - 接收数据进行数据奇偶校验
- 三种错误检测标志：
 - Overrun error

- Frame error
- Parity error
- 中断输出
 - 接收完成中断
 - 发送完成中断
 - 接收错误中断
 - FIFO 将空中断
 - FIFO 将满中断

7.3 UART 功能描述

7.3.1 UART 串行协议

UART 和所选设备之间的串行通信是异步的，所以在串行数据中添加了起始位和停止位来指示开始和结束。利用 这些位可以同步两个设备。

线路控制寄存器（LCR）用于控制串行字符特性。可以向串行字符中添加额外的奇偶校验位，该位出现在字符结构中最后一个数据位和停止位之前，通过此位 UART 能够对接收到的数据进行错误检查。发送和接收由一共用的波特率发生器驱动，当发送器和接收器的使能位分别置位时，分别为其产生时钟。

7.3.2 UART 发送

当 UART 初始化完成后，通过发送寄存器 THR 往发送 FIFO 里填写数据，FIFO 把数据送入发送移位寄存器，移位寄存器把数据转化为串行数据帧发送出去。每个数据帧之前都有一个低电平的起始位，数据帧的各位在起始位之后发送，从最低有效位（LSB）开始，长度可通过寄存器 LCR 配置；然后是停止位，停止位为高电平状态，同样通过寄存器 LCR 配置，可配为 1、1.5 或 2 位，注意 1.5 位停止位仅当数据长度为 5 位时可以配置。UART 具有可选择的奇偶校验位。通过寄存器 LCR 配置可以选择不启用校验，启用奇校验或偶校验。

7.3.3 UART 接收

当 UART 初始化完成后，接收线路上检测到正确的起始位，串行数据帧通过接收移位寄存器转化为并行数据，通过接收寄存器 RBR 送入接收 FIFO 里，总线再从接收 FIFO 里将数据读走。为确保线路的稳定性，接收器就会对串行数据帧进行采样。串行数据帧的最低有效位（LSB）先从接收线路移进；接着如果存在奇偶校验位，则进行奇偶校验；最后是停止位。

在接收期间如果检测到帧错误，溢出或校验错误，错误标志将被置起，并响应相应的中断。

- 帧错误

当接收端在接收到的数据中没有检测到有效的 STOP 位时，就会发生帧错误。在

FIFO 模式中，由于帧错误与接收到的字符相关联，因此当具有帧错误的字符位于 FIFO 的顶部时，它就会显示出来。当帧错误发生时，UART 将尝试重新同步。

- 溢出错误

如果在读取前一个数据之前接收到一个新的数据字符，就会发生溢出错误。在非 FIFO 模式下，当一个新字符在从 RBR 中读取前一个字符之前到达接收器时，设置 OE 位，当这种情况发生时，RBR 中的数据被覆盖。在 FIFO 模式下，溢出到达接收端，FIFO 中的数据被保留，而接收移位寄存器中的数据丢失。

- 校验错误

如果 UART 启用了奇偶校验，当接收到的数据的奇偶校验位与 UART 启用的奇偶校验不同时，就会发生校验错误。在 FIFO 模式中，由于奇偶校验错误与接收到的字符相关联，因此当具有奇偶校验错误的字符到达 FIFO 的顶部时就会显示出来。

7.3.4 波特率设置

UART 共有三个时钟源：RC_24M，XTAL_24M 和 DPLL_48M。其中 RC_24M 和 XTAL_24M 时钟支持 UART 最高波特率为 1.5M，DPLL_48M 时钟支持 UART 最高波特率 2M。

$$\text{UART 波特率的计算公式为: } \text{Baudrate} = \frac{f_{\text{uart_clk}}}{(16 * \text{DIVISOR})}$$

$f_{\text{uart_clk}}$ 是给 UART 的时钟，除数因子 DIVISOR 的整数部分 DIVN 为 16 位无符号数，其高 8 位由寄存器 DLH 控制，低 8 位由寄存器 DLL 控制。

此外，UART 还支持小数分频，由寄存器 DLF 控制，其精度为 1/16。具体真值表如下：

DLF Value	Fraction	Fractional Value
0000	0/16	0.0000
0001	1/16	0.0625
0010	2/16	0.125
0011	3/16	0.1875
0100	4/16	0.25
0101	5/16	0.3125
0110	6/16	0.375
0111	7/16	0.4375
1000	8/16	0.5
1001	9/16	0.5625
1010	10/16	0.625
1011	11/16	0.6875
1100	12/16	0.75
1101	13/16	0.8125
1110	14/16	0.875
1111	15/16	0.9375

具体配置波特率，举例如下：

- 1) 配置波特率 115200，选用时钟 48M。
- 2) 则 $\text{DIVISOR} = 48000000 / 16 * 115200 = 26.04166666666667$ ，
- 3) 整数部分 DIVN 为 26，小数部分为 0.041666666666667，
- 4) $\text{DLF} = 0.041666666666667 * 16 = 0.666666666666667 = 1$ ，
- 5) $\text{DIVISOR} = \text{DIVN} + \text{DLF} / 16 = 26 + 1 / 16 = 26 + 0.0625 = 26.0625$ 。

注意，在 UART 进行传输数据时不可以进行修改波特率，只有在 UART 空闲时才能重新设置波特率。

7.3.5 硬件自动流量流控

UART 支持硬件自动流控功能，通过 CTS_N 输入和 RTS_N 输出控制数据传输。

Auto RTS 和 Auto CTS 功能描述如下：

7.3.5.1 Auto RTS:

发生以下情况时激活 Auto RTS:

- 在配置期间选择自动流量控制
- 选择 FIFO 模式
- RTS (MCR[1]和 MCR[5]均被置位)
- FIFO 已使能 (FCR[0]被置位)

当 Auto RTS 启用并且接收 FIFO 数量达到 FCR[7:6] 设置的阈值时，RTS 输出转为非活动状态（即高电平）。当 RTS_N 连接到另一个 UART 设备的 CTS_N 输入时，另一个 UART 停止发送串行数据，直到接收 FIFO 完全为空。可选择的接收 FIFO 阈值为：1 个字节、4 个字节、8 个字节或 14 个字节。由于 RTS 输出变为非活动状态后（由于数据已经进入另一个 UART 中的发送模块），可能会向 UART 发送一个额外的字符，因此将阈值设置为 14 个字节，允许最大限度地使用 FIFO，并保证能够空出一个字节的安全区域。

一旦读取接收缓冲寄存器 (RBR) 使接收 FIFO 为空，RTS_N 再次变为活动状态（低电平有效），向另一个 UART 发出继续发送数据的信号。

如果选择了其他所有选项并设置了正确的 MCR，如果通过 FCR[0] 禁用 FIFO 或 UART 处于 SIR 模式 (MCR[6] 设置为 1) 时，自动流量控制也会被禁用。当 Auto RTS 未实现或禁用时，RTS 输出仅由 MCR[1] 控制。

7.3.5.2 Auto CTS:

发生以下情况时激活 Auto CTS:

- 在配置期间选择自动流量控制;
- 选择 FIFO 模式;
- AFCE (MCR[5]被置位)
- FIFO 被启用 (通过 FCR[0])

当 Auto CTS 启用时，只要 CTS 输入变为非活动状态（即高电平），就会禁用 UART 发送器，这可防止 UART 的接收 FIFO 溢出。如果 CTS 输入在传输最后一个停止位的中间期间没有被禁用，则在禁用发送器之前发送另一个字符。当发送器被禁用时，发送 FIFO 仍可被写入，甚至溢出。

在使用 Auto CTS 模式时，会发生以下情况:

- 可以读取 UART 状态寄存器以检查 FIFO 是否已满 (USR[1]设置为 0)
 - 当前 FIFO 级别可通过 TFL 寄存器读取
 - 必须启用可编程 THRE 中断模式才能通过线路状态寄存器 (LSR) 访问“FIFO 满”状态
- 当启用“FIFO 已满”状态标志位时，软件可在每次写入发送器 FIFO 之前对其进行轮询。当 CTS 输入再次变为有效（低电平有效）时，传输恢复。即使选择了其他所有内容，如果 FIFO 被禁用（通过 FCR[0]），自动流量控制也被禁用。当 Auto CTS 未实现或禁用时，发送器不受 CTS 输入影响。

7.3.6 中断

UART 支持以下四种中断，可通过配置寄存器 IER 启用:

- 发送空中断：当 UART 发送 FIFO 里没有数据时触发该中断。清除方法：读取寄存器 IIR 或者往 FIFO 里写入数据使其电平大于发送阈值。
- 接收满中断：当 UART 接收 FIFO 里的数据个数大于阈值时触发该中断。清除方法：当没有启用 FIFO 时读取 RBR 寄存器；当启用 FIFO 时读取 FIFO 使其电平低于阈值。
- 线路错误检测中断：当接收线路上的数据存在帧错误、校验错误或者有溢出时将会触发该中断。清除方法：读取寄存器 RBR 或者 LSR。
- BUSY 中断：在 UART 进行通信时设置寄存器 LCR 将会触发该中断。清除方法：读取寄存器 USR。

8 SPI Master

8.1 SPI Master 简介

串行外设接口 SPI Master 允许芯片与外部设备以半/全双工、同步、串行方式通信。SPI Master 共有 4 个引脚：MISO、MOSI、SCK、NCS，MISO、MOSI 与外部进行交互数据，SCK 为外部从设备提供通信时钟，NCS 选择从机设备。SPI Master 支持四线、三线传输。

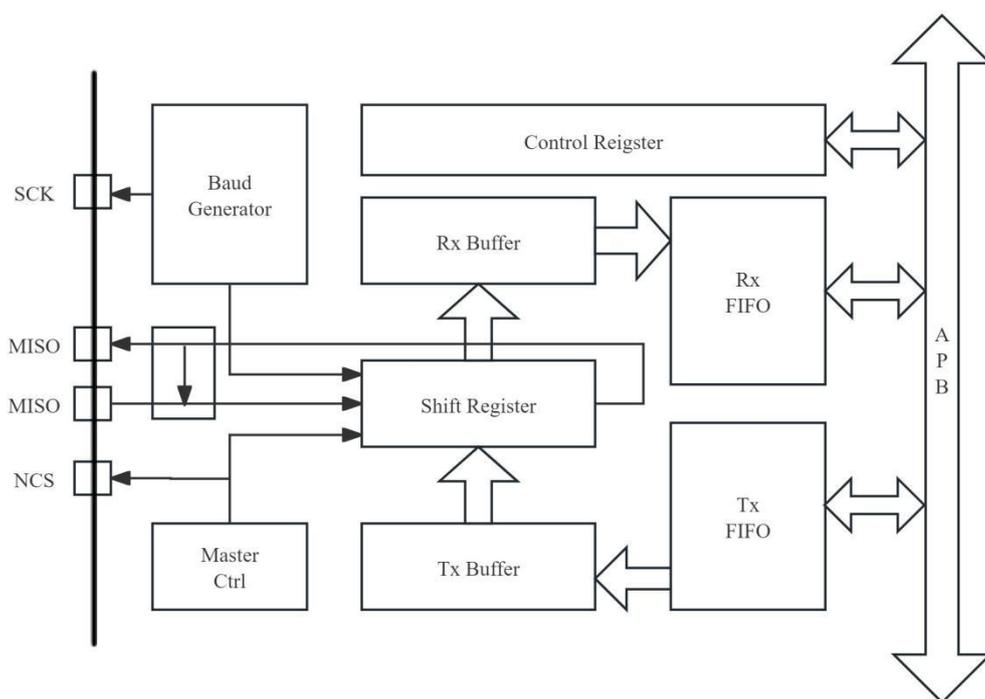


Figure 8-1 SPI Master 结构框图

8.2 SPI Master 主要特性

- 支持全双工四线同步通信模式
- 支持半双工四线同步通信模式
- 支持半双工三线同步通信模式
- 8-bit 或 16-bit 帧格式选择
- SPI 时钟速率最高为 24MHz
- FIFO 发送缓冲区深度为 16
- FIFO 接收缓冲区深度为 16
- 串行时钟极性和相位可配置
- 灵活的中断输出

8.3 SPI Master 功能描述

8.3.1 传输模式

SPI 支持四种传输模式，通过写入寄存器 CTRLR0 来设置。

- TX AND RX: 全双工模式，发送数据的同时接收目标设备发送的数据。
- TX ONLY: 设置此模式时，接收无效，SPI 只通过 MOSI 进行发送数据。
- RX ONLY: 设置此模式时，发送无效，SPI 只通过 MISO 进行接收数据。
- EEPROM READ: 此模式用于向 FLASH 等发送读取命令时使用。命令通常有 3 个 8 位数据帧组成，包括一个 8 位命令数据帧，一个 16 位地址的高 8 位数据帧和低 8 位数据帧。

当选用 RX ONLY 和 EEPROM READ 模式时 SPI Master 接收数据的个数由寄存器 CTRLR1 控制。

8.3.2 时钟

输出时钟计算公式： $f_{clk_out} = \frac{f_{spi_clk}}{SCKDV}$

SCKDV 由寄存器 BAUDR 控制，其值为 0 到 65534 中的任意偶数。输出时钟最高为 $f_{PCLK}/2$ 。

时钟极性 SCPOL 控制在没有数据传输时时钟的空闲状态电平。SCPOL 为 0 时，时钟在 SPI Master 处于空闲状态时为低电平状态；SCPOL 为 1 时，时钟在 SPI Master 处于空闲状态时为高电平状态。

时钟相位 SCPH 决定数据采样的时钟边沿。SCPH 为 0 时，发送或接收的数据在时钟的第一个边沿处（SCPOL 为 0 时就是上升沿，SCPOL 为 1 时就是下降沿）采样；SCPH 为 1 时，发送或接收的数据在时钟的第二个边沿处（SCPOL 为 0 时就是下降沿，SCPOL 为 1 时就是上升沿）采样。数据采样的时序组合如图所示：

8.3.3 SPI Master 线路模式

SPI Master 线路共有两种模式：四线模式和三线模式。

8.3.3.1 四线模式

4-wire 模式即 SPI 使用 MOSI, MISO, SCK, NCS 进行通信。可根据需要选择不同的传输模式。当 TMOD=TX AND RX 时，为四线全双工通信，Master 在发送数据的同时接收从机的回应数据。四线全双工时序如图所示：

当进行四线半双工通信时，发送数据要选择 TMOD=TX ONLY，接收数据则要 TMOD=RX ONLY。四线半双工时序如图所示：

8.3.3.2 三线模式

三线模式即 SPI 使用 MOSI, SCK, NCS 进行通信，此时为半双工通信，发送使用 TX ONLY 模式，接收切换为 RX ONLY 模式。三线模式时序图如下：

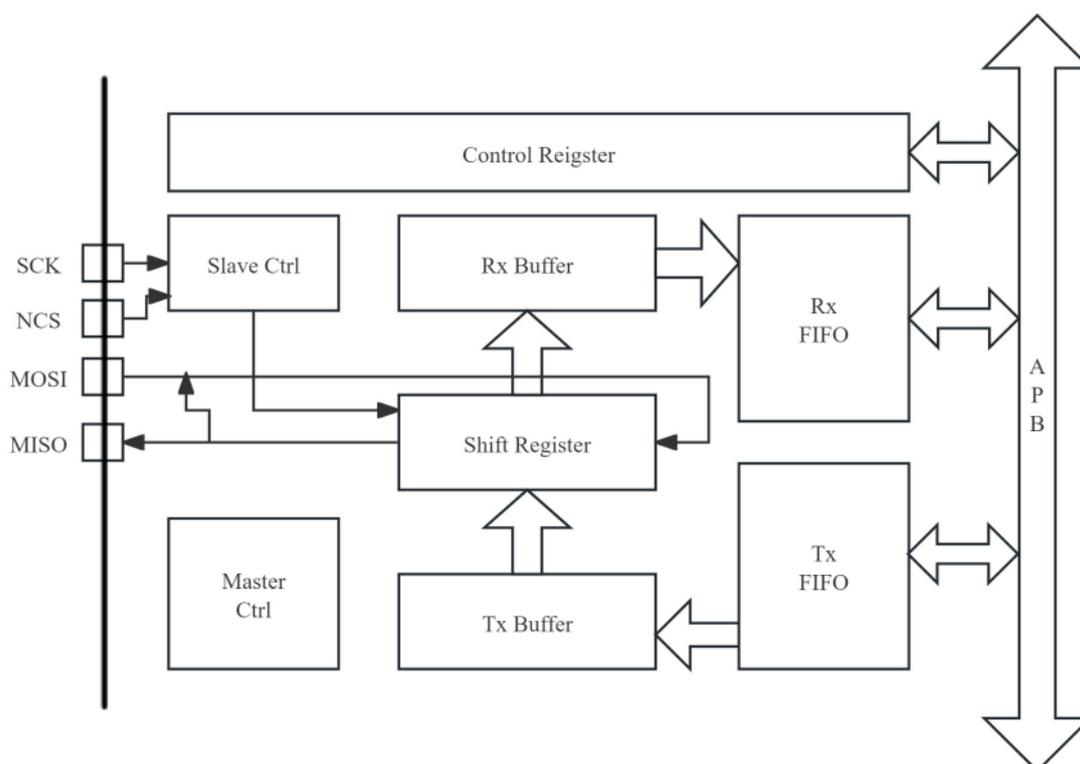
8.3.4 中断

- 发送空中断（Transmit FIFO Empty Interrupt）：当发送 FIFO 中的数据个数小于或等于发送 FIFO 阈值时将会触发该中断。发送 FIFO 阈值由寄存器 TXFTLR 控制。清除中断方法：往发送 FIFO 里填写数据直至数据个数大于阈值。
- 发送溢出中断（Transmit FIFO Overflow Interrupt）：当发送 FIFO 已满时继续往 FIFO 里填写数据将会触发该中断。中断触发后新写入的数据将会被丢弃。注意：由于 SPI 开始发送 FIFO 里为空，使能该中断后，一旦开启 SPI，就会立即进入中断响应。清除中断方法：读取中断清除寄存器（ICR）。
- 接收满中断（Receive FIFO Full Interrupt）：当接收 FIFO 里的数据个数大于或等于接收 FIFO 阈值加 1 时将会触发该中断。接收 FIFO 阈值由寄存器 RXFTLR 控制。清除中断方法：从接收 FIFO 读取数据使数据个数低于阈值水平。
- 接收溢出中断（Receive FIFO Overflow Interrupt）：当接收 FIFO 已满时继续接收数据将会触发该中断。中断触发后新接收的数据将会被丢弃。清除中断方法：读取中断清除寄存器（ICR）。
- 接收欠流中断（Receive FIFO Underflow Interrupt）：当接收 FIFO 为空时尝试读取接收 FIFO 将会触发该中断。清除中断方法：读取中断清除寄存器（ICR）。

9 SPI Slave

9.1 SPI Slave 简介

串行外设接口 SPI Slave 允许芯片与外部设备以半/全双工、同步、串行方式通信。SPI Slave 共有 4 个引脚：MISO、MOSI、SCK、NCS，MISO、MOSI 与外部进行交互数据，SCK 由外部主设备提供通信时钟，NCS 受主机控制。SPI Slave 支持四线、三线、两线传输。



9.2 SPI Slave 主要特性

- 支持全双工四线同步通信模式
- 支持半双工四线同步通信模式
- 支持半双工三线同步通信模式
- 支持半双工两线同步通信模式
- 8-bit 或 16-bit 帧格式选择
- FIFO 发送缓冲区深度为 16
- FIFO 接收缓冲区深度为 16
- SPI 时钟速率最高为 $f_{spisclk}/4$
- 串行时钟级性和相位可配置
- 灵活的中断输出

9.3 SPI Slave 功能描述

9.3.1 传输模式

SPI Slave 支持三种传输模式，通过写入寄存器 CTRLR0 来设置。

- TX AND RX: 发送数据的同时接收 SPI Slave 发送的数据，全双工模式。
- TX ONLY: 设置此模式时，接收无效，只进行发送。
- RX ONLY: 设置此模式时，发送无效，只进行接收。

9.3.2 时钟

SPI Slave 的时钟主要由主机提供，不需要配置时钟，其所支持的时钟最高为 $f_{PCLK}/4$ 。SCKDV 由寄存器 BAUDR 控制，其值为 0 到 65534 中的任意偶数。输出时钟最高为 $f_{PCLK}/2$ 。时钟极性 SCPOL 控制在没有数据传输时时钟的空闲状态电平。SCPOL 为 0 时，时钟在 SPI Master 处于空闲状态时为低电平状态；SCPOL 为 1 时，时钟在 SPI Master 处于空闲状态时为低电平状态。时钟相位 SCPH 决定数据采样的时钟边沿。SCPH 为 0 时，发送或接收的数据在时钟的第一个边沿处（SCPOL 为 0 时就是上升沿，SCPOL 为 1 时就是下降沿）采样；SCPH 为 1 时，发送或接收的数据在时钟的第二个边沿处（SCPOL 为 0 时就是下降沿，SCPOL 为 1 时就是上升沿）采样。

9.3.3 SPI Slave 模式

SPI Slave 支持四线模式、三线模式和两线模式。四线模式与 SPI Master 相同，下面主要说明三线模式和两线模式。

9.3.3.1 三线模式

三线模式使用 SPIS_NCS、PIS_SCK 和 PIS_DIO 进行数据通信。

常规 SPI Slave 接口，数据接收和发送分别通过 SPIS_MOSI 和 SPIS_MISO，三线模式只使用一根双线数据线 SPIS_DIO 进行数据双向通信。

9.3.3.2 两线模式

两线使用 SPIS_SCK 和 SPIS_DIO 进行数据通信。两线模式相比于三线，模式，没有 SPIS_NCS 片选信号，SPIS_NCS 片选信号由内部寄存器控制。

9.3.4 中断说明

- 发送空中断（Transmit FIFO Empty Interrupt）：当发送 FIFO 中的数据个数小于或等于发送 FIFO 阈值时将会触发该中断。发送 FIFO 阈值由寄存器 TXRLR 控制。清除方法：往发送 FIFO 里填写数据直至数据个数大于阈值。
- 发送溢出中断（Transmit FIFO Overflow Interrupt）：当发送 FIFO 已满时继续往 FIFO

里填写数据将会触发该中断。中断触发后新写入的数据将会被丢弃。清除方法：读取中断清除寄存器（ICR）。

- 接收满中断（Receive FIFO Full Interrupt）：当接收 FIFO 里的数据个数大于或等于接收 FIFO 阈值加 1 时会触发该中断。接收 FIFO 阈值由寄存器 RXRTR 控制。清除方法：从接收 FIFO 读取数据使数据个数低于阈值水平。
- 接收溢出中断（Receive FIFO Overflow Interrupt）：当接收 FIFO 已满时继续接收数据将会触发该中断。中断触发后新接收的数据将会被丢弃。清除方法：读取中断清除寄存器（ICR）。
- 接收欠流中断（Receive FIFO Underflow Interrupt）：当接收 FIFO 为空时尝试读取接收 FIFO 将会触发该中断。清除方法：读取中断清除寄存器（ICR）。

10 IIC

10.1 简介

IIC 是双线双向的同步串行总线，它利用一根时钟线和一根数据线在连接总线的两个器件之间进行信息的传递，为设备之间数据交换提供了一种简单高效的方法。每个连接到总线上的器件都有唯一的地址，任何器件既可以作为主机也可以作为从机，但同一时刻只允许有一个主机。

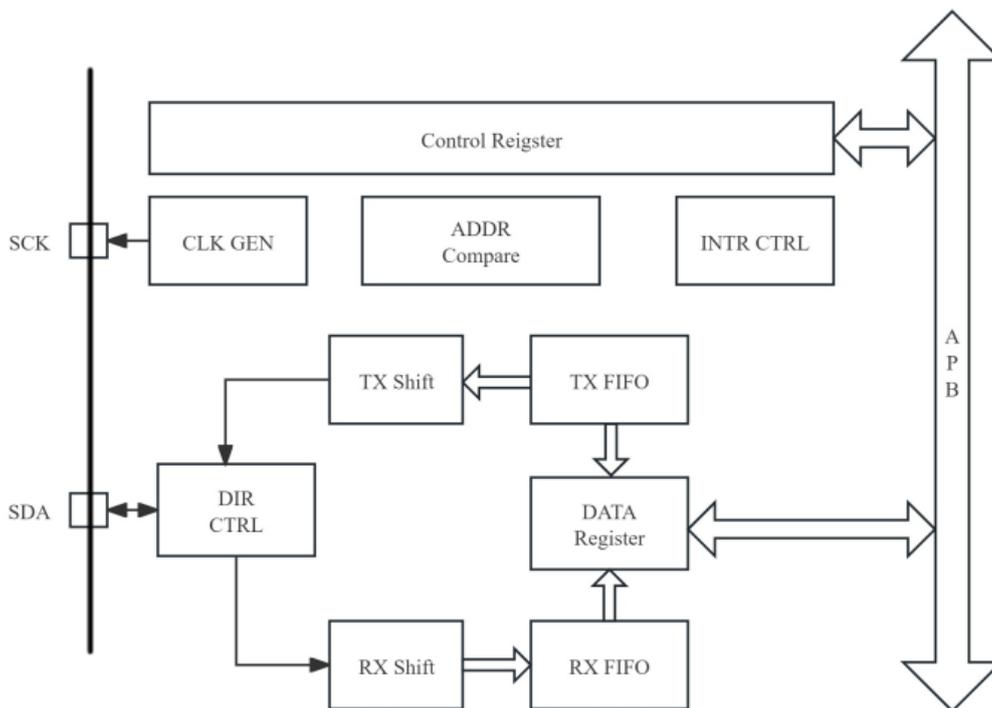


Figure 11.1 IIC 结构框图

10.2 IIC 主要特性

- 半双工通信方式，由串行数据线（SDA）和串行时钟（SCL）组成
- 支持 IIC Master 和 IIC Slave 两种模式
- IIC 支持以下三个速度模式
 - Standard mode (0 to 100 Kb/s)
 - Fast mode (≤ 400 Kb/s)
 - Fast mode plus (≤ 1000 Kb/s)

- 在主模式下支持 7 位寻址与 10 位寻址
- 在从模式下支持 7 位寻址与 10 位寻址
- 发送缓冲区与接收缓冲区，两个缓冲区深度均为 8 字节
- 作为主机时，允许发送重新启动信号
- 引脚信号毛刺过滤
- 中断输出

10.3 IIC 功能描述

10.3.1 协议描述

IIC 总线使用连接设备的“SCL”（串行时钟总线）和“SDA”（串行数据总线）来传输信息。主机在 SCL 线上输出串行时钟信号，数据在 SDA 线上进行传输，每传输一个字节（最高位 MSB 开始传输），后面跟随一个应答位。一个 SCL 时钟脉冲传输一个数据位。

10.3.1.1 数据传输及信号

IIC 传输协议包含四个部分：起始信号（start）或重复起始信号（restart），从机地址及读写位，数据位，停止信号（stop）。

- 起始信号(start)、重复起始信号（restart）、停止信号（stop）

当总线处于空闲状态下（SCL 和 SDA 线同时为高），SDA 线上出现由高到低的信号，表明总线上产生了起始信号。当两个起始信号之间没有停止信号时，即产生了重复起始信号。主机采用这种方法与另一个从机或相同的从机以不同传输方向进行通信（例如：从写入设备到从设备读出）而不释放总线。当 SCL 线为高时，SDA 线上出现由低到高的信号，被定义为停止信号。主机向总线发出停止信号结束数据传送。

- 从机地址与读写位

➤ 7 比特从设备寻址模式：

在 7 比特从设备地址模式中，第一个字节的前 7bit（A6:A0）就是从设备地址，最低位（LSB）为 R/W 位。当 R/W 位被设置为 0 时，表示写操作，即主设备向从设备写数据。当 R/W 位被设置为 1 时，表示读操作，即主设备从从设备读取数据。

➤ 10 比特从设备寻址模式：

在 10 比特从设备地址模式中，需要传输 2 个字节数据来设置 10bit 地址。传输的第一个字节有 3 部分定义：前 5 个 bit（bit7:3，协议固定为 11110），用于通知从设备这是一个 10bit 模式的传输；随后的 2 个 bit（A9:A8）表示从设备地址，最后 1bit

(LSB) 是 R/W 位。传输的第二个字节 (A7:A0) 则全部用于表示从设备地址。这样, A9: A0 就表示了 10bit 从设备地址。

- 数据位:

数据传输过程中, 一个 SCL 时钟脉冲传输一个数据位, 且 SDA 线只有在 SCL 为低时才可以改变。

10.3.1.2 数据传输应答

IIC 每次传输完 8 位数据后, 需要从设备反馈一个应答位, 以确认从设备是否正常接收了数据。当主设备发送了 8 位数据后, 会再产生一个时钟, 此时主设备放开 SDA 的控制, 读取 SDA 电平, 在上拉电阻的影响下, 此时 SDA 默认为高, 必须将从设备拉低, 以确认收到数据。应答信号为低电平时, 规定为有效应答位 (ACK 简称应答位), 表示接收器已经成功地接收了该字节; 应答信号为高电平时, 规定为非应答位 (NACK), 一般表示接收器接收该字节没有成功。

10.3.2 串行时钟发生器

在 IIC 作为主机时, 需要配置寄存器, 确保 SCL 速率符合实际需求。IIC 时钟有三种传输模式, Standard mode、Fast mode 和 Fast mode plus, 每种传输模式 SCL 速率位:

- Standard mode: 最高 100KHz
- Fast mode: 最高 400KHz
- Fast mode plus: 最高 1000KHz

SCL 信号和 PCLK 信号的频率关系为 $F_{scl} = F_{pclk} / (HCNT + LCNT + 7 + 1 + \text{滤波时间})$, 其中 HCNT 大于 6, LCNT 大于 8。

10.3.3 工作模式

在 IIC 传输数据过程中, 主和从、发和收的关系不是恒定的, 取决于此时数据传送方向。具体分为下列四种传输方式。

- Master 模式发送数据: 发送写请求, 写数据到从设备
- Slave 模式接收: 响应写请求, 接收来自主设备的数据
- Master 模式接收数据: 发送读请求, 接收来自从设备的数据
- Slave 模式发送数据: 响应主设备的读请求, 向主设备发送数据

10.3.4 输入滤波功能

IIC 包含可编程输入滤波逻辑，可对输入信号（SCL 和 SDA）进行毛刺过滤。每个输入信号（SCL 和 SDA）都有一个单独的计数器，该滤波逻辑基于监视输入信号（SCL 和 SDA）的计数器，检查输入信号在内部采样之前是否在设定的 `ic_clk` 周期内（即滤波周期）保持稳定，如果保持稳定，即认为是稳定输入信号，此时内部信号会更新，计数器重置并停止工作，在检测到新的输入信号之前，计数器不会重新启动；如果无法保持稳定，在计数器达到其计数周期之前，输入信号再次改变，则认为输入信号是毛刺信号，当这种情况发生时，计数器被重置并停止，内部信号不会更新（即毛刺信号被滤掉），计数器重置并停止工作，在检测到新的输入信号之前，计数器不会重新启动。三个速度模式 `Standard mode`、`Fast mode`、`Fast mode plus` 下最大滤波时间均为 50ns。

10.3.5 中断

下列详细介绍 IIC 中断及产生条件，可结合寄存器 `IC_INTR_MASK` 使用。

- `RX_UNDER`: 当处理器通过 `IC_DATA_CMD` 寄存器读取接收缓冲器为空时置位。
- `RX_OVER`: 当接收缓冲器被填满，而且还有数据从外设发送过来时被置位；缓冲器被填满后接收的数据将会丢失。
- `RX_FULL`: 当接收缓冲器达到或者超过 `IC_RX_TL` 寄存器中规定的阈值时被置位；当数据低于阈值时标志位将被自动清除。
- `TX_OVER`: 当发送缓冲器被填满，而且处理器试图发送另外的命令写 `IC_DATA_CMD` 寄存器时被置位。
- `TX_EMPTY`: 当发送缓冲器等于或者低于 `IC_TX_TL` 寄存器中规定的阈值时被置位；当数据高于阈值时标志位将被自动清除。
- `RD_REQ`: 当 IIC 模块作为从机时并且另外的主机试图从本模块读取数据时被置位。
- `TX_ABRT`: 当 IIC 模块无法完成处理器下达的命令时被置位，有如下几种原因：
 - 发送地址字节后没有从机应答
 - 地址识别成功后主机发送的数据从机没有应答
 - 当 IIC 模块只能作为从机时试图发送主机命令
 - 当模块的 `RESTART` 功能被关闭，而处理试图完成的功能必须要 `RESTART` 功能开启才能完成
 - 高速模块主机代码被应答
 - `START BYTE` 被应答
 - 模块仲裁失败

（无论标志位什么时候被置位，发送缓冲器和接收缓冲器的内容都会被刷新）

- `RX_DONE`: 当 IIC 模块作为从机发送数据时，如果主机没有应答则置位；这种情况

发生在 IIC 模块发送最后一个字节数据时，表明传输结束。

- **ACTIVITY**: 表明 IIC 模块正在活动，这个标志位将会一直保持直到用以下 4 种方式清除。
 - 关闭 IIC
 - 读取 IC_CLR_ACTIVITY 寄存器
 - 读取 IC_CLR_INTR 寄存器
 - 系统重启

（即使 IIC 模块是空闲的，这个标志仍然需要被置位直到被清除，因为这表明 IIC 总线上有数据正在传输）

- **STOP_DET**: 表明 IIC 总线上产生了 STOP 信号，无论模块作为主机还是从机
- **START_DET**: 表明 IIC 总线上产生了 START 信号，无论模块作为主机还是从机

11 TIMER

11.1 TIMER 简介

八个 Timer (Timer0~Timer7) 计数器位宽均为 16bit，每个定时器支持独立 PWM 输出或互补 PWM 输出。通过定时器预分频、系统时钟选择、修改相关寄存器的数值，可灵活的调整脉冲宽度和波形周期。

11.2 TIMER 主要特性

- 8 个独立计数 Timer
- 计数器位宽 16-bit
- 计数器递减模式
- 当计数到零时触发中断
- 支持 PWM 输出
- PWM 占空比 0%到 100%可调
- PWM 支持反相输出
- 支持两种运行模式：自由运行和自定义运行

11.3 TIMER 功能描述

11.3.1 定时器时钟

Timer 可以将 48M、24M 时钟作为时钟源，可以通过寄存器进行配置，下文统称为 TCLK。

11.3.2 定时器预分频

使用 TCLK 作为定时器时钟时，可以通过 PWMTT_CLK_SEL[31:0]寄存器进行分频，该寄存器每 4bit 都可以对相应计时器进行分频。分频设置如下：

PWMTT_CLK_SEL	分频比
0000	2
0001	4
0010	8
0011	16
0100	32
0101	64
0110	128
0111	256
1000	512
1001	1024
1010	2048
1011	4096
1100	保留
1101	
1110	
1111	

11.3.3 定时计数器

定时器向下计数。使用加载计数寄存器将初始值加载到定时器中，计数到 0 下溢后产生中断或重新加载初始计数。定时器在复位或禁用后启用，定时器会重新加载初始计数。当定时器倒计时至 0 时，会重新加载初始计数，可通过修改模式来改变初始计数的值。不同模式操作如下：

- 用户自定义计数模式：定时器加载 TimerNLoadCount 寄存器的当前值
- 自由运行模式：定时器加载到最大值（0xFFFF）

11.3.4 定时器模式

定时功能用于产生间隔定时。在定时功能中，需要使用加载计数寄存器将初始值加载到定时器中，定时器有预分频，定时器在每个预分频的一个时钟递减一次，计数到 0 时结束并且产生中断。中断标志需要软件清除。

11.3.5 PWM 模式

每个 Timer 都支持 PWM 独立输出以及 PWM 反向输出。可以通过寄存器控制切换输出的高电平和低电平周期。可以通过软件控制 PWM 输出 0%~100%占空比的波形。

11.3.6 定时器中断

- 中断产生及条件

Timer 会在预分频的一个时钟下降沿进入中断，要检测和服务中断，系统时钟必须处于活动状态。Timer 使能用于激活定时器时钟，并确保定时器运行时为组件提供活动系统时钟。

- 中断清除

如果定时器被使能，则中断保持有效，直到通过读取 TimerNEOI（单独中断结束寄存器）和 TimersEOI（全局中断结束寄存器）之一时将其清除。如果定时器被禁止，定时器中断被清除。可以通过读取 TimerNEOI 寄存器来清除单个定时器中断。也可以通过读取 TimersEOI 寄存器或禁用定时器来一次清除所有活动的定时器中断。

- 屏蔽中断

使用 TimerNControlReg 寄存器屏蔽每个单独的定时器中断。

12 SDMA

12.1 SDMA 简介

SDMA 将数据从一个地址空间搬移到另一个地址空间而不需要 CPU 参与，提供在外设和存储器之间或者存储器 和存储器之间的高速数据传输。当 CPU 初始化这个传输动作，传输动作本身是由 DMA 控制器来实现和完成。DMA 传输方式无需 CPU 直接控制传输，也没有中断处理方式那样保留现场和恢复现场过程，通过硬件为内存与外设开辟一条直接传输数据的通道，使得 CPU 的效率大大提高。

12.2 SDMA 主要特性

- 32 路 SDMA 通道，支持优先级配置
- 两种数据传输宽度：8-bit、32-bit
- 标准模式、FIFO 模式和 CMD 模式三种传输模式
- 两种来源地址类型：外设、存储器
- 两种目标地址类型：外设、存储器
- 两种地址变化模式：固定、自增
- 32 位全空间传输地址寻址范围
- 支持地址及传输数量重载功能

12.3 SDMA 功能描述

12.3.1 传输模式

SDMA 支持标准模式、FIFO 模式和 CMD 模式三种传输模式。

12.3.1.1 标准模式

SDMA 标准模式是从源地址区域向目的地址区域搬移数据内容，搬移过程中源区域和目的区域内存地址线性增加，或者不增加，源和目的侧可以单独设置。标准模式搬移指定大小数据内容后，完成通道任务。数据搬移单位由配置域 DMA_WORD_EN 进行设置，进行 8 位字节搬移或 32 位字进行搬移。数据搬移长度由配置域 NUM_BYTES 设置，最大搬移大小为 64KB，当 DMA_WORD_EN 为“1”时，NUM_BYTES 最低两位必须是 0，以保证 32 位字对齐。

12.3.1.2 CMD 模式

CMD 模式传输除了在原有标准模式传输的基础上，会在标准传输前或传输后额外执行一条 CMD 指令。DMA 配置域 CMD_PRE_EN 用于决定 CMD 执行先后顺序，该位为 1 时，先执行 CMD 指令，再执行 DMA 传输；该位为 0 时，限制性 DMA 输，再执行 CMD 操作。

CMD 写入内容由配置域 CMD_WAR 确定，该位为 0 时，为 M a s k 写模式，直接向 CMD_ADDR 写入 (CMD_WDATA&(~CMD_MASK))。该位为 1 时，为“读改写”模式，首先读取 CMD_ADDR，并存储至 CMD_RDATA，再向 CMD_ADDR 写入 (CMD_RDATA& CMD_MASK) | (CMD_WDATA &(~CMD_MASK))。

12.3.1.3 FIFO 模式

FIFO 模式和标准模式传输类似，不同的是源起始地址与目标地址在 FIFO 模式下递增到 FIFO_SIZE 边界时，源起始地址或目的起始地址。FIFO 模式由配置域 FIFO_MODE<1:0>进行配置：

- Bit[1]：源起始地址 FIFO 模式使能开关
- Bit[0]：目标地址 FIFO 模式使能开关

12.3.4 SDMA 中断

SDMA 32 个任务均可独立产生中断，通过任务描述符 DMA_TASK_CFG0<31> INT_EN 控制中断，当对应任务的 INT_EN 配置为“1”时，当任务传输完成后，将触发产生 SDMA 中断。SDMA 每个任务的中断状态存储在寄存器 SDMA_INT_STATUS<31:0>中，SDMA 中断服务程序应先读取 SDMA_INT_STATUS<31:0>，确定中断来自哪一个 SDMA 任务，从而选择对应的中断处理程序，中断处理完成后，通过寄存器 SDMA_INT_CLEAR<31:0>清除对应的中断标志位。

13 GPADC

13.1 GPADC 简介

GPADC 模块为 10 位高精度、高转换速率逐次逼近型模数转换器，可用于采样外部引脚输入电压、AVDD1233_BAT 电压、AVDD1233_TRX 电压、VDD 电压和 VPTAT 电压。为提高采样精度，减少软件负担，内部集成采样点数字平均模块，可以对最多 256 个采样点进行均值平滑。GPADC 提供单次采样和连续采样两种工作模式，并集成专用 DMA 控制器，连续采样模式下，可以将平滑后的采样点存储至指定内存区域。

13.2 GPADC 主要特性

- RC 24M 和 XTAL 24M 可配置
- ADC 时钟频率 3M/2M/1M，最低 48K
- ADC 时钟支持 auto gate 功能，以节省功耗
- ADC 时钟打开后，支持自动丢弃前 N 个采样值
- 支持 ADC 值寄存器读取功能
- 采样值平均配置，支持 1~256 可配置
- 采样间隔配置，支持单次模式、连续模式、PWM 触发模式
- 中断
 - DMA 中断
 - 采样完成中断

13.3 GPADC 功能描述

13.3.1 时钟配置

ADC 采样时钟由 ADC 时钟源分频得到，ADC 时钟源可通过 GPADC_CLK_SEL 寄存器进行选择：

- 0：RC 24M 时钟
- 1：XTAL 24M 时钟

ADC 时钟源通过时钟分频器进行分频，时钟分频器的分频系数通过 GPADC_CLK_DIV<4:0>进行配置，分频器输出时钟频率为

$GPADC_SOURCE_CLK / ((GPADC_CLK_DIV + 1) * 2)$ 。例如，当配置 1M 采样率时，GPADC_CLK_DIV 应配置为 11。

13.3.2 采样模式

GPADC 共有两种采样模式：

- 单次采样模式
- 连续采样模式

通过寄存器 GPADC_CONT_MODE 配置采样模式，所有采样模式都可以使能采样均值滤波功能。采样均值滤波功能使能时，多个原始采样点均值滤波输出一个有效的采样点。

13.3.2.1 单次采样模式

单次采样模式下，当触发条件满足时，GPADC 只更新一次采样值，并进入空闲状态。

单次采样模式可由软件条件或硬件条件进行触发：

- 软件条件：寄存器 GPADC_TRIG 写“1”时，触发采样
 - 硬件条件：寄存器 GPADC_TIMER_SEL 对应的 PWM 信号输出上升沿触发采样
- 单次采样模式适用于采样速率较低的场合，软件在需要的时候触发一次单次采样，使用简单方便，并可完全规避因响应不及时而导致的采样值覆盖风险。

13.3.2.2 连续采样模式

连续采样模式下，当触发条件满足时，GPADC 持续更新采样值。

- 连续采样模式可由软件条件或硬件条件进行触发：
 - 软件条件：寄存器 GPADC_TRIG 写“1”时，触发采样
- 硬件条件：寄存器 GPADC_TIMER_SEL 对应的 PWM 信号输出上升沿触发采样
- 连续采样模式适用于采样速率较高的场合，软件需要在指定时间内读取采样值，否则会有采样值覆盖风险，或者启用 GPADC DMA，将采样值存储至指定内存区域。

13.3.3 GPADC DMA

寄存器 GPADC_DMA_EN 使能后，GPADC 工作在 DMA 模式。GPADC DMA 模式时，不关心寄存器 GPADC_CONT_MODE 设置，始终工作在连续采样模式，并且每个采样点均会被存储到指定内存区域。GPADC DMA 数据存储有两种格式，Word 格式和 Half-word 格式，通过寄存器 GPADC_STORE_MODE 进行选择。

GPADC DMA 内存总共 8KB，地址偏移为 0x2000_2000。DMA 内存平均分为四块，每块 2KB。GPADC DMA 所使用的内存区域通过 GPADC_START_BK 和 GPADC_BK_NUM 设置。GPADC_BK_START 用于选择起始内存块，GPADC_BK_NUM 用于选择内存块数量。

13.3.4 均值滤波器

ADC 采样点因电路噪声、环境变化或外部干扰可能会产生采样偏差。数字均值滤波器可以通过滑动窗口对采样点进行平滑滤波，从而减小采样偏差，提高采样点的可靠性和稳定性。通过寄存器 GPADC_AVG_WIN<3:0>可设置均值滤波器窗口大小，窗口最大为 256 个采样点。

13.3.5 数据格式

GPADC 原始采样值为 10-bit 位宽，数据格式由模拟 ADC 决定，默认为二进制自然码格式。GPADC 原始采样值可以通过寄存器 GPADC_FORMAT 进行转换，可根据需要转换为常用的二进制补码形式。

ADC 采样值存储到寄存器或内存中时，通常是字节对齐的，为方便软件使用，需要对数据进行位宽扩展。通过寄存器 GPADC_SIGNEXT 可选择进行有符号数扩展或无符号数扩展，有符号数扩展按照原始采样值最高位扩展其他高位，无符号数扩展不关心原始采样值最高位，直接在高位补零。扩展位宽根据其他设置，16 位和 32 位可选。

13.3.6 中断

GPADC 共有两个中断源，DMA 中断和 SAMPLE 中断。两个中断源可通过寄存器 GPADC_IE<1:0>单独使能。SAMPLE 中断为采样完成中断，单次采样模式和连续采样模式均会触发采样完成中断。其中，单次采样模式只会触发一次采样完成中断，连续采样模式则会在每个采样点采样完成后，触发采样完成中断，此时软件需要连续响应采样完成中断。

14 WDT

14.1 WDT 简介

WDT 可用来检测 and 解决由软件错误引起的故障。当 WDT 计数器达到设定的溢出时间后，会触发中断或产生系统复位。

14.2 主要特性

- 20 位自由运行的递增计数器，溢出时间可配置为 125ms – 32s
- 溢出后的动作可配置为中断或复位
- WDT 可在 Light Sleep 模式下工作，但不能在 DeepSleep 模式下工作

14.3 WDT 功能描述

14.3.1 WDT 溢出中断

在本模式下，WDT 将按所设定的时间周期性地产生中断。在中断服务程序中需要清除 WDT 中断标志。配置方法如下所示：

- 1) 计算 WDT 计时溢出时间，配置 WDT_SET.WDT_CNT[7:0]（溢出时间=32-配置值/8(s)）。
- 2) 将 WDT_CFG.WINT_INT_EN 置位 1，选择 WDT 溢出后产生中断。
- 3) 使能 NVIC 中断向量表中的 WDT 中断。
- 4) 将 WDT_CFG.WINT_EN 置位，启动 WDT 定时器。
- 5) 在中断服务程序中可以再次配置 WDT_SET.WDT_CNT 自动清除标志位 WDT_RSTN。

14.3.2 WDT 溢出复位

在本模式下，WDT 计数器溢出后会产生 Reset 信号，该信号会复位 CPU。用户程序需要在 WDT 溢出前清零 WDT 计数器，从而避免产生 WDT 复位。配置方法如下所示：

- 1) 计算 WDT 计时溢出时间，配置 WDT_SET.WDT_CNT[7:0]（溢出时间=32-配置值/8(s)）。
- 2) 将 WDT_CFG.WINT_INT_EN 置 0，选择 WDT 溢出后产生复位信号。
- 3) 将 WDT_CFG.WINT_EN 置位，启动 WDT 定时器。
- 4) 复位后系统自动置位 WDT_RST_STATUS 寄存器，可以将 CPU_RST_CLR 寄存器中第四位置 1 来清除 WDT_RST_STATUS 寄存器。

15 Flash

Flash 版本, 合封 256KB Flash, Flash 地址: 0x10000000-0x10040000。

通信脚位: GPIO4_QSPI_NCS ----- CS
GPIO6_QSPI_CLK ----- CLK
GPIO8_QSPI_D0 ----- IO-1
GPIO9_QSPI_D1 ----- IO-0

16 电气特性

除非另有说明外，各表中所有电气参数均在以下条件指定

- 典型值基于 TA=25 °C，所有电源供电为 3.0 V
- 射频性能指标在传导模式下测量获得
- 最大值和最小值代表了电源电压、工艺波动、工作温度变化下的最坏情况

16.1 绝对最大额定值

绝对最大额定值是指短时间暴露并不会导致器件永久损伤的极限值，长时间在绝对最高额定值下使用可能会影响设备的可靠性。这只是一个器件过压级别，不保证在这些过压级别或超出推荐工作条件范围外器件的正常工作。

绝对最大额定值表：

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Voltage						
Voltage on VDD and VDDIO supply pins	V _{DDMAX}		-0.3		3.9	V
Voltage on crystal oscillal pins, XTALIN and XTALOUT	V _{DDIO}		-0.3		1.3	V
Voltage on any GPIO pin	V _{GPIOMAX}	V _{DDIO} ≤ 3.6 V	-0.3		V _{DDIO} + 0.3	V
		V _{DDIO} > 3.6 V	-0.3		3.9	V
Input RF level on RF pin RFIO	P _{RFMAX}				10	dBm
Voltage on RF pin RFIO	V _{RFMAX}	Any non-zero DC voltage will cause unwanted damage on RF port	0		0	V
Current						
Current into VDD supply pin	I _{VDDMAX}				100	mA
Current into VDDIO supply pin	I _{VDDIOMAX}				100	mA
Current out of VSS paddle	I _{VSSMAX}				200	mA
Current per I/O pin	I _{IOMAX}	Sourced or sunk			20	mA
Current by all I/O pins	I _{IOMAX_TOTAL}	Sourced or sunk			90	mA
Environment						
Junction temperature	T _{JMAX}				125	°C
Storage temperature	T _{SMAX}		-40		150	°C

16.2 推荐工作条件

推荐工作条件:

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Supply voltage for pin VDD	V_{DD}	$V_{DD} \geq V_{DDIO}$, otherwise leakage happens	max (1.7, V_{DDIO})		3.6	V
Supply voltage for pin VIO	V_{DDIO}	VIO supplied by a host chip not VDD	1.7		3.6	V
Ambient temperature	T_A		-40		85	°C

16.3 射频特性

发射机规格表:

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Frequency range	f_{TX}		2400		2483	MHz
Output power	P_{out}		-20.0		10.0	dBm
Power control step	P_{step}	For part-to-part power calibrations		1.0		dB
2 nd harmonic power	P_{2harm}	0 dBm		-45.0		dBm
		4 dBm		-40.0		dBm
		10 dBm		-25.5		dBm
3 rd harmonic power	P_{3harm}	0 dBm				dBm
		4 dBm				dBm
		10 dBm				dBm
4 th harmonic power	P_{4harm}	0 dBm				dBm
		4 dBm				dBm
		10 dBm				dBm
Spurious emissions (@4 dBm)	P_{spur}	30 MHz to 1000 MHz		-43.7		dBm
		1 GHz to 12.75 GHz		-31.0		dBm
		47 MHz to 74 MHz		-75		dBm
		87.5 MHz to 108 MHz		-75		dBm
		174 MHz to 230 MHz		-75		dBm
		470 MHz to 862 MHz		-44.0		dBm
1 Mbps BLE						
Average frequency deviation	$\Delta f_{1,avg,1M}$	0 dBm	244	248.6	251	KHz
		4 dBm	242	248.1	253	KHz
		10 dBm	244	249.3	257	KHz
Average frequency deviation ratio	$\frac{\Delta f_{2,avg,1M}}{\Delta f_{1,avg,1M}}$	0 dBm	0.89	0.914	0.95	
		4 dBm	0.89	0.914	0.97	
		10 dBm	0.83	0.89	0.99	
Adjacent channel power (2 MHz offset)	$P_{adj,1M}$	0 dBm	-54	-51.4	-47	dBm
		4 dBm	-50	-47.4	-44	dBm
		10 dBm	-42	-37.4	-32	dBm
Alternate adjacent channel power (3 MHz offset)	$P_{aadj,1M}$	0 dBm	-57	-55.3	-53	dBm
		4 dBm	-53	-51.1	-46	dBm
		10 dBm	-46	-42.2	-39	dBm

2 Mbps BLE						
Average frequency deviation	$\Delta f_{1_{avg_2M}}$	0 dBm	494	497.6	502	KHz
		4 dBm	491	598.6	505	KHz
		10 dBm	470	598.3	518	KHz
Average frequency deviation ratio	$\frac{\Delta f_{2_{avg_2M}}}{\Delta f_{1_{avg_2M}}}$	0 dBm	0.87	0.89	0.9	
		4 dBm	0.86	0.89	0.91	
		10 dBm	0.81	0.86	0.97	
Adjacent channel power (4 MHz offset)	P_{adj_2M}	0 dBm	-59	-56.5	-54	dBm
		4 dBm	-54	-52.3	-47	dBm
		10 dBm	-47	-42.5	-34	dBm
Alternate adjacent channel power (6 MHz offset)	P_{aadj_2M}	0 dBm	-61	-58.9	-55	dBm
		4 dBm	-56	-54.3	-48	dBm
		10 dBm	-49	-44.7	-40	dBm

接收机参数表:

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Frequency range	f_{RX}		2400		2483	MHz
Out-of-band blocking	OOB	30 MHz – 2000 MHz	-30			dBm
		2003 – 2399 MHz	-35			dBm
		2484 – 2997 MHz	-35			dBm
		3000 MHz – 12.75 GHz	-30			dBm
1 Mbps BLE						
RX sensitivity	P_{SENS_1M}	0.1 % BER			-94	dBm
C/I co-channel	C/I_{CO_1M}	0.1 % BER		3.8	21	dB
C/I 1 MHz adjacent channel	C/I_{1_1M}	0.1 % BER		-23.6	15	dB
C/I 2 MHz adjacent channel	C/I_{2_1M}	0.1 % BER		-26.8	-17	dB
C/I ≥ 3 MHz adjacent channel	C/I_{3_1M}	0.1 % BER		-37.9	-27	dB
C/I image channel	C/I_{im_1M}	0.1 % BER		-16.3	-9	dB
C/I image channel + 1MHz	C/I_{im+1_1M}	0.1 % BER		-19.5	-15	dB
Maximum input signal level	$P_{IN_MAX_1M}$	0.1 % BER		0.0	-10	dBm

16.4 复位特性

复位电路监测 VDD 脚。

复位特性：

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Reset voltage threshold	V _{POR}	rising edge	1.60	1.70	1.80	V
	V _{PDR}	falling edge	1.52	1.62	1.72	V
POR delay time	T _{POR}		23	30	37	mS
PDR delay time	T _{PDR}		19	23	28	μS

16.5 24MHz 外部时钟源

如果 XTALIN 和 XTALOUT 引脚没有连接晶体，晶体振荡器可以从 XTALIN 引脚接受外部时钟源信号进行整形和放大提供给芯片内部使用。外部时钟信号波形可以为正弦波和方波。

24 MHz 外部时钟源参数：

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Frequency	f _{HSE_EXT}	For BLE operation, frequency must be 24 MHz		24		MHz
External clock voltage	V _{P_HSE_EXT}	External clock source on XTALIN via a 100 nF DC-blocking capacitor	0.5		1.3	V
Phase noise (BLE compliant)	PN _{HSE_EXT_BLE}	At 100 Hz offset		-115	-109	dBc/Hz
		At 1KHz offset		-125	-119	
		At 10 KHz offset		-135	-129	
		At 100 KHz offset		-142	-136	
		At 1 MHz offset		-146	-140	
Phase noise (to support proprietary 2.4 GHz)	PN _{HSE_EXT_2P4G}	At 100 Hz offset		TBD		dBc/Hz
		At 1KHz offset		TBD		
		At 10 KHz offset		TBD		
		At 100 KHz offset		TBD		
		At 1 MHz offset		TBD		

16.6 24MHz 晶体振荡器

24 MHz 晶体振荡器参数：

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Crystal frequency	f _{HSE}			24		MHz
Supported crystal equivalent series resistance	ESR _{HSE}			50	80	Ω
Load capacitance	C _{L_HSE}	Programmable on-chip cap			14	pF
Crystal frequency tolerance	Δf _{HSE}	Over parts, temperature and aging	-50		50	ppm
Startup time	T _{ST_HSE}	Frequency settles within ±50ppm		1.0		mS

16.7 24MHz RC 振荡器

24 MHz RC 参数:

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Frequency	f _{HSI}			24		MHz
Frequency accuracy	f _{HSI_ACC}	After production calibration	-2		2	%
Temperature drift	Δf _{HSI_TEMP}	-40 °C ~ 85 °C	-3		3	%
Current consumption	I _{HSI}	After start-up		67		μA
Startup time	T _{HSI_ST}	Frequency settles within ±50ppm for BLE operation, including LDO		3.6	5	μS

16.8 32KHz RC 振荡器

32 KHz RC 振荡器参数:

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Frequency	f _{LSI}			32.768		kHz
Frequency accuracy	f _{LSI_ACC}	Constant temperature within ±0.5 °C, calibration performed at least every 8 seconds, averaging interval > 7.5 ms, defined as 3 sigma	-700		700	ppm
Startup time	T _{LSI_ST}	Frequency settles within 99% of its stable value, including LDO		500		μS

16.9 GPIO

GPIO 参数:

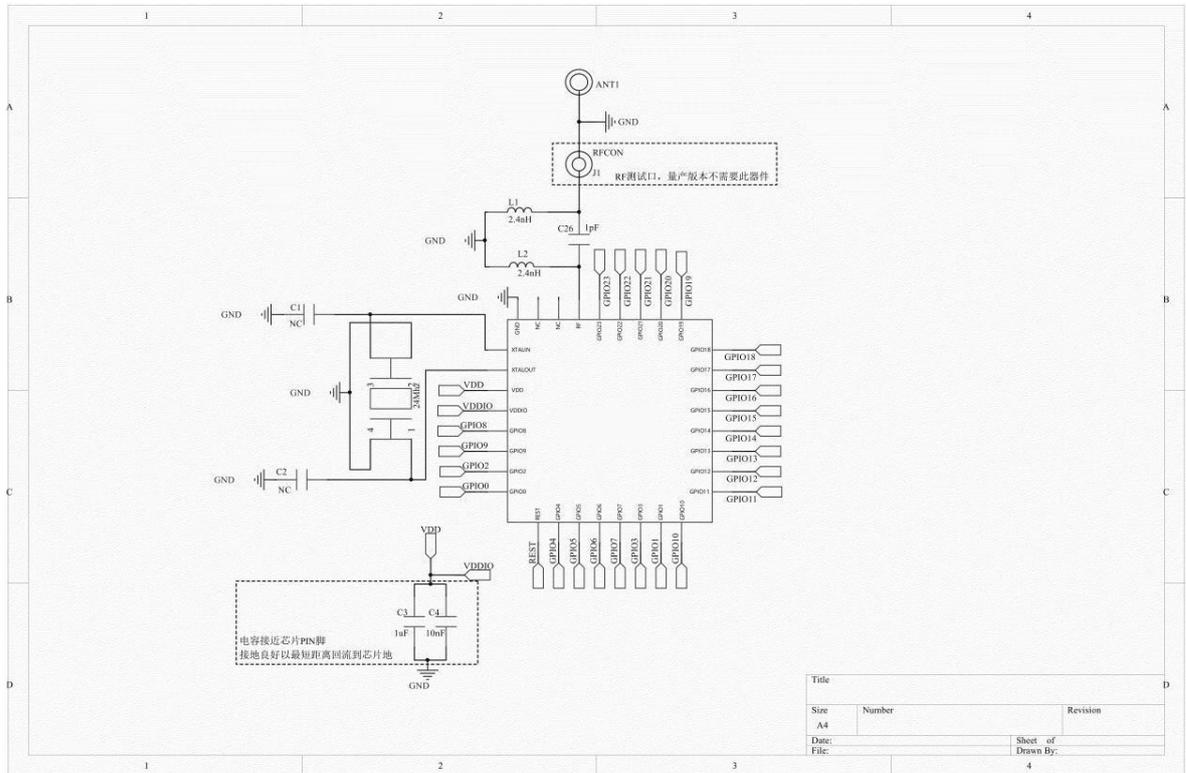
Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Supply voltage	V _{DDIO}		1.70		3.6	V
Leakage current	I _{LEAK_IO}			1.9		nA
Input low voltage	V _{IL}				0.3 x V _{DDIO}	V
Input high voltage	V _{IH}		0.7 x V _{DDIO}			V
Output low voltage	V _{OL}	Sinking 20 mA, V _{DDIO} = 3 V			0.5	V
		Sinking 8 mA, V _{DDIO} = 1.7 V			0.4	V
Output high voltage	V _{OH}	Sourcing 20 mA, V _{DDIO} = 3 V	2.5			V
		Sourcing 8 mA, V _{DDIO} = 1.7 V	1.3			V
Pull up resistance	R _{PU}			25		kΩ
Pull down resistance	R _{PD}			25		kΩ

16.10 通用 ADC

通用 ADC 参数:

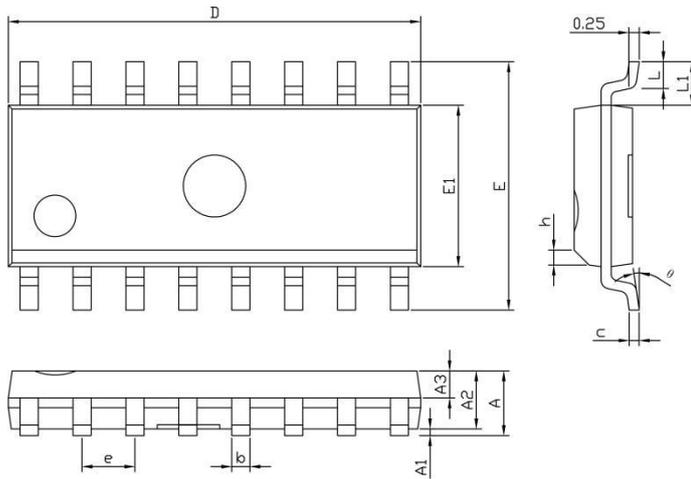
Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
IOVDD Supply Range	V_{IO}		1.8		3.6	V
Sampling frequency	F_S			1	3	MHz
Input measurement range	V_{IN}	Normal mode	0		V_{IO}	V
		PGA mode	0		0.9	V
PGA gain range	G_{PGA}	PGA mode	0		27	dB
Signal-to-noise and distortion ratio	SINAD	Normal mode, $F_S=1M$, $V_{IO}=3.3V$		60		dB
		PGA mode, $F_S=1M$, $V_{IO}=3.3V$	50	57		dB
Effective number of bits	ENOB	Normal mode, $F_S=1M$, $V_{IO}=3.3V$	9.2	9.5		bits
		PGA mode, $F_S=1M$, $V_{IO}=3.3V$	8	9.0		bits
Differential nonlinearity	DNL				1	LSB
Integral nonlinearity	INL				2	LSB
Input sampling capacitance	C_S			256		fF
Internal reference voltage	V_{REF}	Programmable in 25 mV steps		0.9		V

17 参考设计



18 封装信息

18.1 SOP16

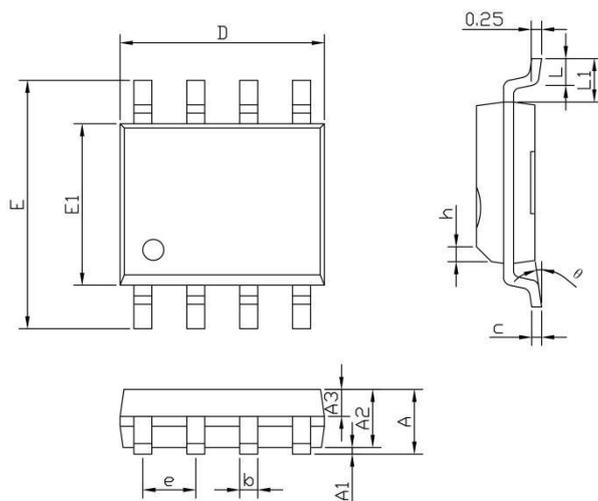


COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NDM	MAX
A	-	-	1.75
*A1	0.10	-	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	-	0.47
c	0.20	-	0.24
D	9.80	9.90	10.00
*E	5.80	6.00	6.20
*E1	3.80	3.90	4.00
*e	1.24	1.27	1.30
h	0.30	0.40	0.50
L	0.50	-	0.80
*L1	0.95	1.05	1.15
θ	0°	-	8°

备注: 1.标注“*”项为测量尺寸

18.2 SOP8



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NDM	MAX
A	-	-	1.75
*A1	0.05	-	0.20
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	-	0.47
c	0.20	-	0.24
D	4.80	4.90	5.00
*E	5.80	6.00	6.20
*E1	3.80	3.90	4.00
*e	1.24	1.27	1.30
h	0.30	0.4	0.50
L	0.50	-	0.80
*L1	1.00	1.05	1.10
θ	0°	-	8°

备注: 1.标注“*”项为测量尺寸

BOLING 公司保留对以下所有产品在可靠性、功能和设计方面的改进作进一步说明的权利。BOLING 不承担由本手册所涉及的产品或电路的运用和使用所引起的任何责任，BOLING 的产品不是专门设计来应用于外科植入、生命维持和任何 BOLING 产品产生的故障会对个体造成伤害甚至死亡的领域。如果将 BOLING 的产品用于上述领域，即使这些是由 BOLING 在产品设计和制造上的疏忽引起的，用户应赔偿所有费用、损失、合理的人身伤害或死亡所直接或间接所产生的律师费用，并且用户保证 BOLING 及其雇员、子公司、分支机构和销售商与上述事宜无关。

波领科技

2024 年 9 月